

2

10825 U.S. PTO
09/753903
01/03/01

THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of : Ritsuko ISONUMA, et al.

Filed : Concurrently herewith

For : TRANSMITTING APPARATUS

Serial No. : Concurrently herewith

January 3, 2001

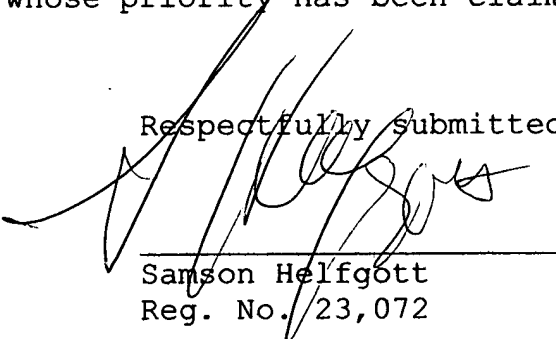
Assistant Commissioner of Patents
Washington, D.C. 20231

SUBMISSION OF PRIORITY DOCUMENT

S I R:

Attached herewith are Japanese patent application No.
2000-158295 of May 29, 2000 whose priority has been claimed in
the present application.

Respectfully Submitted



Samson Helfgott
Reg. No. 23,072

HELFGOTT & KARAS, P.C.
60th FLOOR
EMPIRE STATE BUILDING
NEW YORK, NY 10118
DOCKET NO.: FUSA 18.185
BWU:priority

Filed Via Express Mail
Rec. No.: EL522398591US
On: January 3, 2001
By: Brendy Lynn Belony

Any fee due as a result of this paper,
not covered by an enclosed check may be
charged on Deposit Acct. No. 08-1634.

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

1c825 U.S. PTO
09/753903
01/03/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 5月29日

出 願 番 号
Application Number:

特願2000-158295

出 願 人
Applicant (s):

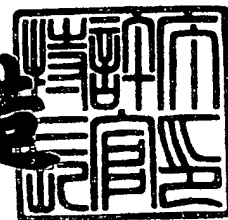
富士通株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年10月20日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3085514

【書類名】 特許願

【整理番号】 9903240

【提出日】 平成12年 5月29日

【あて先】 特許庁長官殿

【国際特許分類】 H04J 3/00
H04L 12/43
H04L 12/437

【発明の名称】 伝送装置

【請求項の数】 10

【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
【氏名】 磯沼 理津子

【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
【氏名】 望月 英明

【特許出願人】
【識別番号】 000005223
【氏名又は名称】 富士通株式会社

【代理人】
【識別番号】 100084711
【弁理士】
【氏名又は名称】 齋藤 千幹
【電話番号】 043-271-8176

【手数料の表示】
【予納台帳番号】 015222
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704946

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 伝送装置

【特許請求の範囲】

【請求項 1】 第 1、第 2 の方向に伝送可能なリング(BLSR)状のネットワークを構成し、各伝送方向にワーキング帯域及びプロテクション帯域が割り当てられた伝送路を介して入力する各チャンネルの信号をクロスコネクして送出し、伝送路障害に際して信号をプロテクション帯域を用いて逆方向にループバックすることにより救済(BLSRによる救済)する伝送装置において、

BLSRによる救済対象チャンネルのうち、BLSRによる救済をしないと設定されたチャンネル(NUTチャンネル)以外のチャンネル(判定対象チャンネル)について、BLSRによる救済が不可能な障害が発生したかを判定する救済不可能障害発生判定部、

判定対象チャンネルの前記判定結果を主信号のクロスコネク情報に基づいて入れ替え、該入れ替えた判定結果を対応するチャンネルのクロスコネク後の主信号に挿入する判定結果挿入手段、

BLSRによる救済対象チャンネルが、NUTチャンネルであるか否かを指示するNUT情報を記憶するNUT情報記憶手段、

を備えたことを特徴とする伝送装置。

【請求項 2】 伝送装置が接続されるリング(BLSR)のオペレーティングレートを特定するBLSRタイプを記憶するBLSRタイプ情報記憶部、

BLSRタイプ情報及びNUT情報に基づいて各救済対象チャンネルが前記判定対象チャンネルであるか否かを決定する判定対象チャンネル決定部、

を備え、前記NUT情報記憶手段は、BLSRタイプ毎にBLSR救済対象チャンネルがNUTチャンネルであるか否かを指示するNUT情報を記憶する記憶領域を備え、

判定対象チャンネル決定部は設定されたBLSRタイプのNUT情報に基づいて前記決定を行う、

ことを特徴とする請求項 1 記載の伝送装置。

【請求項 3】 前記NUT情報記憶手段は、BLSR救済対象チャンネルのうち所定方向のワーキング帯域のBLSR救済対象チャンネルに対してのみNUT情報を記憶

し、

前記判定対象チャンネル決定部は該方向のワーキング帯域における判定対象チャンネルを決定し、

救済不可能障害発生検出部は該判定対象チャンネルについて、BLSRによる救済が不可能な障害が発生したかを判定し、

判定結果挿入手段は、該判定結果を主信号のクロスコネクト情報に基づいて入れ替え、該入れ替えた判定結果を第 1、第 2 方向のワーキング、帯域における対応するチャンネルのクロスコネクト後の主信号に挿入することを特徴とする請求項 2 記載の伝送装置。

【請求項 4】 前記チャンネルは STS チャンネルであり、

前記救済不可能障害発生判定部は、判定対象の STS チャンネルに収容された VT チャンネルについて BLSR による救済が不可能な障害が発生したかの判定を行い、

前記判定結果挿入手段は、該 VT チャンネルの判定結果を STS チャンネル単位で主信号の STS クロスコネクト情報に基づいて入れ替え、該入れ替えた判定結果を対応する STS クロスコネクト後の VT 信号に挿入することを特徴とする請求項 1 記載の伝送装置。

【請求項 5】 クロスコネクト情報により入れ替える前の前記判定結果を受信し、判定対象チャンネル毎に BLSR 救済不可能障害が所定時間以上継続したか、及び障害が復旧したか監視するアクチバート処理手段を備え、

前記監視結果を主信号のクロスコネクト情報に基づいて入れ替えて出力する入替え手段、

を備えたことを特徴とする請求項 1 記載の伝送装置。

【請求項 6】 前記チャンネルは STS チャンネルであり、

前記救済不可能障害発生判定部は、判定対象の STS チャンネルに収容された VT チャンネルについて BLSR による救済が不可能な障害が発生したかの判定を行い、

前記アクチバート処理手段は VT チャンネル毎に BLSR 救済不可能障害が所定時間以上継続したか、障害が復旧したか監視し、

前記入替え手段は VT チャンネル毎の監視結果を STS チャンネル単位で主信号の STS クロスコネクト情報に基づいて入れ替えて出力する、

ことを特徴とする請求項 5 記載の伝送装置。

【請求項 7】 2つのリング(BLSR)間を接続する伝送路に障害が発生したとき別の伝送路から入力する信号を選択することにより救済するサービスセクタスイッチ機能をVTチャンネル毎に備えたVTパスプロテクションスイッチ、

VTパスプロテクションスイッチをサービスセクタスイッチとして動作させるかを指示するサービスセクタ情報を発生するサービスセクタ情報発生部、

を備え、サービスセクタ情報発生部は、BLSR対象チャンネルが判定対象チャンネルであるか否かを示す情報を、主信号のクロスコネクト情報に基づいて入れ替えることによりVTチャンネル毎のサービスセクタ情報を発生し、VTパスプロテクションスイッチ部に渡すことを特徴とする請求項 2 記載の伝送装置。

【請求項 8】 前記サービスセクタ情報発生部は、前記判定対象チャンネル決定部が出力するワーキング帯域における該判定対象チャンネル情報とその該判定対象のワーキングチャンネルと対を成すプロテクションチャンネル情報とを主信号のSTSクロスコネクト情報に基づいて入れ替え、入れ替え後の情報を主信号のVTクロスコネクト情報に基づいて入れ替えることによりVTチャンネル毎のサービスセクタ情報を発生することを特徴とする請求項 7 記載の伝送装置。

【請求項 9】 STS交換部でクロスコネクトされたSTS信号が半分づつ入力される2つのVT交換部を備え、該VT交換部においてVTポインタを付け替え、該VTポインタ付け替え後の VTチャンネル信号をVT交換部間で受け渡し、しかる後、VTチャンネル信号をクロスコネクトする伝送装置において、

各VT交換部は、

マルチフレーム・タイミングを合わせるタイミング調整部、

タイミング調整されたマルチフレームタイミングを基準にして、VTポインタの付け替えを行なうVTポインタ付け替え部、

VTポインタ付け替え後のVTチャンネル信号をVT交換部間で送受する手段、

VTチャンネル信号をクロスコネクトするVT回線切替部、

を備えたことを特徴とする伝送装置。

【請求項 10】 一方のVT交換部（マスター交換部）に設けられた前記タイミング調整部は、(1) フレームタイミングパルスよりマルチフレームタイミング

パルスを生成するマルチフレームタイミング生成部、(2) 該マルチフレームタイミングから1/2フレーム前の位置を示す所定幅の基準マルチフレームタイミングパルスを発生するタイミングパルス発生部を備え、

他方の交換部（スレーブ交換部）に設けられた前記タイミング調整部は、(1) 入力パルスを高速サンプリングし、サンプリング値が連続して複数回同じレベルであれば、該入力パルスを前記基準マルチフレームタイミングパルスと判断する判定回路、(2) 前記基準マルチフレームタイミングパルス検出後に最初に発生するスレーブ交換部のフレームタイミングパルスをマルチフレームタイミングパルスとするマルチフレームタイミング生成部を備えたことを特徴とする請求項9記載の伝送装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は第1、第2の方向に伝送可能なリング(BLSR)状のネットワークを構成する伝送装置に係わり、特に、各伝送方向にワーキング帯域及びプロテクション帯域が割り当てられた伝送路を介して入力する各チャンネルの信号をクロスコネクトして送出し、伝送路障害に際して信号をプロテクション帯域を用いて逆方向にループバックして救済(BLSRによる救済)する伝送装置に関する。

【0002】

【従来の技術】

通信量の増大により大容量伝送可能な光通信を利用した同期光通信網SONET (Synchronous Optical Network)が普及してきている。かかる同期光通信網SONETではSTS-N(N: 整数)のフレームフォーマットにしたがってユーザデータを多重伝送する。図12は51.84MbpsのSTS-1のフレーム構成図であり、全体として9×90 (bytes/125μs)を有し、3×9 bytesのオーバーヘッド0H、87×9 bytesのSTSペイロードSTS-1 SPEで構成され、ペイロードにおける9 bytesはパスオーバーヘッドPOHで、残りの86×9 bytesに複数チャンネルのVT(Virtual Tributary)パッケージが多重される。同期光通信網SONETでは上記STS-1の他に、フレームフォーマットしてSTS-3(155.52Mbps)、STS-12(622.08Mbps)、STS-48(2.488Gbps)などがあり、光伝

送路により適宜使用できるようになっている。

【 0 0 0 3 】

(a) VT構成

VTパケットは図 1 3 (a) ~ (d) に示すようにVT1.5, VT2, VT3, VT6の4つのタイプがある。VT1.5は27 bytes($=3 \times 9$)でパケットを構成し、1つのVTチャンネルのビットレートは1.728Mbps($=27 \times 8 / 125$ Mbps)である。VT2は36bytes($=4 \times 9$)でパケットを構成し、1つのVTチャンネルのビットレートは2.304Mbps($=36 \times 8 / 125$ Mbps)である。VT3は54bytes($=6 \times 9$)でパケットを構成し、1つのVTチャンネルのビットレートは3.456Mbps($=54 \times 8 / 125$ Mbps)である。VT6は108bytes($=12 \times 9$)でパケットを構成し、1つのVTチャンネルのビットレートは6.912Mbps($=108 \times 8 / 125$ Mbps)である。

【 0 0 0 4 】

(b) STS-1 SPEにおけるVT1.5パケットのマッピング

図 1 4 はVT-structured STS-1 SPEにおけるVT1.5パケットのマッピング説明図であり、第1列はパスオーバーヘッドPOH、第30列、第59列はオール"1"の固定スタッフ(Fixed Stuff)で、これらによりペイロードSTS-1 SPEは28列の3つの領域に区分されている。各領域の28列には順次1-1,2-1,3-1,4-1,5-1,6-1,7-1,1-2,2-2,...7-4が付されており、第1チャンネルのVT1.5パケットは第2、31、60列に配置され、第2チャンネルのVT1.5パケットは第3、32、61列に配置され、以下同様に第28チャンネルのVT1.5パケットは第29、58、87列に配置される。

【 0 0 0 5 】

4つのVT-structured STS-1 SPE(フレーム)により500 μ s構成のVT super frame(マルチフレーム)が定義される。VT superframeを構成する各フレーム(STS-1 SPE)の先頭位置(第1行第2列~第29列位置)には、図 1 5 に示すようにV1,V2 bytes(VTペイロードポインタ)、V3 byte(ポインタアクションバイト)、V4 byte(未定義バイト)がそれぞれ配列され、残りがVT SPEとなる。図 1 6 (a) はVTスーパーフレームの全体の構成図であり、V1~V4バイトと1チャンネルあたり26バイトのVT SPEで構成されている。VT SPEは図 1 6 (b) に示すように4バイトのVTパスオーバーヘッドVT POH(V5, J2, Z6 and Z7)と1チャンネルあたり25バイトのVT Paylo

ad で構成されている。VTパスオーバーヘッドのうちV5 byteはVT SPEの先頭バイトであり、その位置はVTペイロードポインタV1,V2により指示される。尚、V5バイトはエラーチェック(error checking)、信号ラベル(signal label)、パス状態(path status)を示すもので、BIP-2(Bit Interleaved Parity-2)のパリティ結果を含んでいる。

【 0 0 0 6 】

(c) リング構成

同期光通信網SONETのネットワーク構成として信頼性確保の観点から伝送装置をリング状に接続したリング構成が知られている。リング構成によれば、伝送路障害が発生しても代替伝送路を介して伝送を継続することができ、伝送の信頼性を向上することができる。図 1 7 はリング接続可能なADM(Add/Drop Mux)伝送装置の概略構成図、図 1 8 はリング構成説明図である。

ADM伝送装置はMUX(多重)機能とAdd/Drop 機能を備えた端局装置であり、(1) STSレベルでのクロスコネクト機能、(2) VTレベルでのクロスコネクト機能、(3) トリビュタリー側に対するadd/drop機能を有している。例えば、ラインインタフェース(LIF)1a,1bは、高次群信号(例えばOC-12の光信号)をそれぞれEAST側及びWEST側の光伝送路より受信して電気信号に変換すると共にオーバーヘッド情報に基づいた処理を行い、デマルチプレクサ(DMUX)2a,2bは高次群信号を低次群信号(例えばSTS-1の電気信号)に分離し、STS/VT クロスコネクト部3はSTSレベルでスイッチングし、マルチプレクサ(MUX)4a,4bはスイッチング後のSTS-1信号を多重して高次群信号にし、ラインインタフェース(LIF)5a,5bは該高次群信号にオーバーヘッドを付加して光信号に変換してWEST側及びEAST側の光伝送路に送出する。

【 0 0 0 7 】

又、STS/VT クロスコネクト部3はトリビュタリーインタフェース6a,6b..からMUX/DMUX 7a,7b..を介して挿入(Add)されたSTS-1信号をSTSレベルでスイッチングしてEAST方向あるいはWEST方向に送出すると共に、EAST側あるいはWEST側の伝送路から受信した信号をトリビュタリー側にドロップし、MUX/DMUX 7a,7b..を介して所定速度のVT信号に分離し、トリビュタリーインタフェース6a,6b..よりトリビュタリー側に送出する。更に、STS/VT クロスコネクト部3はVTレベルでのクロ

スコネクトスイッチを内蔵しており、所定のSTS-1信号をVTチャンネルに分解し、VTレベルでスイッチングすると共に、スイッチング後のVT信号を多重してSTS信号にし、該STS信号にSTSレベルのクロスコネクト処理を施して所定の伝送路に送出する。EAST側及びWEST側の伝送路は共にworking帯域(working channel)とプロテクション帯域(protection channel)が割り当てられており、通常伝送装置はワーキング帯域を用いて信号の伝送を行う。

【 0 0 0 8 】

(d) 伝送路障害時におけるプロテクション

リング構成では図 1 8 に示すように、図 1 7 のADM装置10a～10dをリング状に接続し、所定の伝送路に障害が発生したり、品質が劣化すれば、該伝送路を通らない方向に信号を伝送し、これにより通信を継続して信頼性、品質を確保する。

図 1 9 はSONETリングネットワークにおける伝送路切替方式の 1 つであるUPSR (Unidirectional Path Switched Ring) の説明図で、リングを構成する同期多重伝送路上の送信ノードAから2方向に信号を送出し、受信ノードCでどちらか一方を選択することによりパスの切り替え／切り戻しを行う。図 1 9 (a) において、ノードAは入力信号を、(1)ノードDを介してノードCに至るルートと、(2)ノードBを介してノードCに至るルートの2方向に送出し、ノードCは通常はノードDを介して到来する信号を選択する。この通常選択されるルートをデフォルトパスという。デフォルトパスを介した通信中に図 1 (b) に示すように、ノードA→ノードD間の伝送路に障害が発生して通信ができなくなると、ノードCはノードBを介して到来する信号を選択することにより通信を継続する。このように通常選択されないが、デフォルトパスの障害時に選択されるパスを非デフォルトパスといい、また、上記のパスの切換を行う機能部分をパスプロテクションスイッチという。

【 0 0 0 9 】

図 2 0 はSONETリングネットワークにおけるBLSR (Bidirectional Line Switch Ring) による救済説明図であり、通常はworking Channelを用いて通信を行ない、伝送路に障害が発生した時protection channelを使用して通信を救済する。例えば、OC-12の場合、伝送路にはEAST方向及びWEST方向にSTS-1レベルで12チャン

ネルが存在し、そのうち1～6チャンネルがworking channel、7～12チャンネルが protection channelとなっている。図20(a)において、ノードAはトリビュタリー側から入力した信号をworking channelを使用してEAST側にノードDを介してノードCに送出する。かかる通信中に、ノードA、ノードD間の伝送路に障害が発生すると、ノードAはEAST側にノードDを介して通信ができなくなる。そこで、図20(b)に示すようにprotection channelを使用してWEST側にノードB→ノードC→ノードDまで送り、ノードDでループバックしてノードCに信号を送出する。又、図20(c)において、ノードBはworking channelを使用して信号をEAST側よりノードAを介してノードDに送出している。かかる通信中に、ノードA、ノードD間の伝送路に障害が発生すると、ノードAはEAST側から到来する信号をprotection channelを使用してWEST側にループバックしてノードB、ノードCを介してノードDに送出する。

【0010】

(e) ADM機能を備えた伝送装置

図21はADM機能を備えた伝送装置(VTクロスコネクタ装置)のより詳細な構成例であり、STSクロスコネクタ及びVTクロスコネクタを行なうクロスコネクタ部分を詳細に示している。伝送装置10は、STSクロスコネクタ部10A、VTクロスコネクタ部20A、入力側のINF部 $30_1 \sim 30_n$ 、出力側のINF部 $40_1 \sim 40_n$ で構成されている。

STSクロスコネクタ部10AはSTS信号のクロスコネクタを行ない、VTクロスコネクタ部20AはVT信号のクロスコネクタを行ない、入力側の回線INF部 $30_1 \sim 30_2$ はEAST/WEST側の光伝送路から入力する光信号を電気信号に変換すると共にSTS終端処理を行い、トリビュタリーINF部 $30_3 \sim 30_n$ はトリビュタリー側から入力する低次群信号をSTS信号に多重して送出し、出力側の回線INF部 $40_1 \sim 40_2$ はSTSクロスコネクタ部から出力するSTS信号を光信号に変換すると共にオーバーヘッドを付加してEAST/WEST側光伝送路に送出し、トリビュタリーINF部 $40_3 \sim 40_n$ はSTS信号を低次群信号に分離してトリビュタリー側へ送出する。

【0011】

STSクロスコネクタ部10Aは、(1) STSレベルでクロスコネクタを行なうSTS信号

回線切り替え部(STS TSI部) 11, 12、(2) STS終端処理を行ってSTS信号をVT信号に分解するSTS終端部14、(3) UPSRによるパスプロテクションを行なうSTSパスプロテクションSW部(STS PSW部)15、(4) VTレベルでクロスコネクしたVT信号を多重して得られるSTS信号をSTSレベルでクロスコネクトするSTS信号回線切り替え部(STS TSI部)13、(5) STS TSI部11とSTS TSI部13でクロスコネクトされたSTS信号の一方を選択するセクタ部(SEL部)16を有している。

VTクロスコネクト部20Aは、(1) VTチャンネル毎にスケルチ処理を行なうVT SQL部) 21、(2) VTレベルのクロスコネクトを行なうVT信号回線切り替え部(VT TSI部) 22、(3) パスプロテクション切換を行なうVTパスプロテクションSW部(VT PSW部)23を有している。スケルチ処理とはBLSRで救済できない障害が所定のVTチャンネルに発生した時、該VTチャンネルへ障害通知信号(スケルチ判定結果)を挿入することである。

【 0 0 1 2 】

INF部 $30_1 \sim 30_n$ から入力された信号は分岐ポイント24で2つに分岐し、それぞれSTS TSI 11, 12に入力する。STS TSI 11はINF部 $30_1 \sim 30_n$ から入力するSTS信号のうちVTレベルでのクロスコネクトが不要なSTS信号をSTSレベルでクロスコネクトし、STS PSW部15を介してSEL部16に入力し、SEL部は所定のSTS信号を選択してINF部 $40_1 \sim 40_n$ に入力する。一方、STS TSI 12はINF部 $30_1 \sim 30_n$ から入力するSTS信号のうちVTレベルでのクロスコネクトが必要なSTS信号のみをSTSレベルでクロスコネクトし、しかる後、STS終端部14はクロスコネクトされたSTS信号に対してSTS終端処理を行い、得られたVTチャンネル毎の信号(VT信号)をVTクロスコネクト20Aに入力する。VTクロスコネクト20Aにおいて、VT SQL部21はVTスケルチ処理を行い、VT TSI部はVTレベルでクロスコネクトしてVT PSW部23を介して図示しない多重部(STS MUX部)に入力し、多重部でVT信号を多重してSTS信号にしてSTS TSI部13に入力する。STS TSI部13は入力されたSTS信号をSTSレベルでクロスコネクトし、SEL部16に入力し、SEL部は所定のSTS信号を選択してINF部 $40_1 \sim 40_n$ に入力する。VT SQL部21 はスケルチ処理を行ない、BLSRによる救済不可能な障害が発生した時、VTチャンネル毎にVT信号にAIS(Alarm Indication Signal)を挿入するためのスケルチ処理を行なう。

【 0 0 1 3 】

(f) スケルチ

図 2 2 は VT スケルチの説明図であり、EAST 方向 (EAST 側入力) 及び WEST 方向 (WEST 側入力) の BLSR 構成を示している。EAST 方向及び WEST 方向において BLSR は現用チャンネル (working channel) と予備チャンネル (protection channel) を有している。図 2 2 (a) では、所定 VT チャンネルの信号 (VT 信号) がノード A から入り、ノード D を通過してノード B から出ていることが示されている。又、各ノードには着目ノード B のノード ID を 0 とし EAST 方向に 0 より昇順に 1, 2, 3 が付与されている。各ノードは VT チャンネル毎に、VT スケルチを行なうかどうか (AIS 信号を挿入するかどうか) の判定を行なう際に使用するスケルチテーブル (図 2 2 (b)) を備え、該テーブルには EAST 方向及び WEST 方向における接続先ノード ID が記録される。すなわち、テーブルの East 側には着目ノードに対して物理的に決まって EAST 側の入力ノードが設定され、WEST 側には着目ノードに対して物理的に決まって WEST 側の入力ノードが設定される。図 2 2 (a) の例では着目ノード B の EAST 側に入力して Drop される VT チャンネルの Source Node はノード A (ID=2) である。したがって、該 VT チャンネルのスケルチテーブルの EAST side 欄にノード ID=2 が設定される。なお、WEST 側からの入力がないため WEST side 欄には 0 が設定される。ここで、ポイント E、F において障害が発生すると、ノード B は VT チャンネル上で Far End Node ID としてノード ID=2 を検出できなくなるため、救済不可能な障害が発生したものとして該 VT チャンネルに対してスケルチを実行する。すなわち、該 VT チャンネルに VT パス AIS を挿入する。

【 0 0 1 4 】

図 2 3 は、図 2 1 における VT SQL 部 21 の従来技術による構成図である。スケルチテーブル設定部 50 は、各 STS チャンネル STS ch1 ~ STS chN ($50_1 \sim 50_N$) 毎に 28 VT チャンネル分のレジスタ (VT1 ~ VT28) を有し、制御部 (μ -COM) 57 は各レジスタヘデータ (スケルチテーブル) を設定する。SQL 判定部 $52_1 \sim 52_N$ は各 STS チャンネル毎にそれぞれ 28 VT チャンネル分の判定部を備え、 $28 \times N$ 個の各 VT チャンネル毎に Far End Node ID とスケルチテーブルに設定されているノード ID を比較し、VT スケルチを実行するかどうかの判定を行ない、ラッチ部 $54_1 \sim 54_N$ は $28 \times N$ の各 VT チャン

ネルの判定結果を保持し、スケルチ挿入部56は該当VTチャンネルに対してVTパスAISを挿入する。EAST, WEST方向の伝送路毎にFar End Node ID (接続されているノードの中でデータ伝送可能な最も遠いノードのID)がオーバーヘッドより判明するから、SQL判定部52₁~52_Nは該Far End Node IDと各VTチャンネルのスケルチテーブルに設定されているノードIDとを比較し、(1) Far End Node IDがノードIDと等しいか大きければ救済不可能な障害が発生していないと判定し、(2) Far End Node IDがノードIDより小さければ救済不可能な障害が発生していると判定し、該当VTチャンネルにVTパスAISを挿入する。例えば、図22(a)の例においてポイントE、Fで障害が発生していると、ノードBにおけるEAST側のFar End Node IDはノードDのID=1となり、設定ノードID(=2)>Far End Node ID(=1)となるため、該当VTチャンネルに対してスケルチを実行する。

【0015】

(g) BLSR情報、NUT情報

スケルチはBLSR(Bidirectional Line Switch Ring)による救済が不可能となったVTチャンネルにAISを挿入するものである。このため、BLSR救済の対象外であるVTチャンネルに対してスケルチ処理を行う必要がない。換言すれば、BLSRを介して入力するSTSチャンネルにマッピングされているVTチャンネルに対してのみスケルチ処理を行えば良く、BLSRを介して入力しないSTSチャンネル(トリビュタリー側から入力するSTSチャンネル)にマッピングされているVTチャンネルについてはスケルチ処理を行う必要はない。そこで、従来はSTS TSI 12(図21参照)によるSTSクロスコネクト後のN個の全STSチャンネルについて、BLSR救済対象であるか否を示す情報(BLSR情報)を設定し、BLSR救済対象のVTチャンネルについてのみスケルチ処理を行うようにしている。

【0016】

又、BLSR救済対象のSTSチャンネルであってもBLSRのAutomatic Protection Switchの手法を用いないSTSチャンネルがある。例えば、UPSRなど別の救済方法で救済したい場合、あるいは、protection channelをwork channelと同等に使用し、障害が発生してもBLSR救済をしない場合である。かかるSTSチャンネル(トラヒック)にマッピングされたVTチャンネルについてはスケルチ処理を行う必要が

なく、このトラヒックをNUT(non-preemptible unprotected traffic)という。このため、従来はSTS TSI 12 (図 2 1 参照) によるSTSクロスコネクト後のN個の全STSチャンネルについて、NUT channelであるか否を示すNUT情報を設定し、BLSR救済対象channelで、かつ、NUT channel として設定されていないSTSチャンネル(トラヒック)のVTチャンネルについてのみスケルチ処理を行うようにしている。すなわち、BLSR救済対象channelであってもNUT channelであればスケルチ処理を行わない。

【 0 0 1 7 】

図 2 4 はBLSR情報設定部とNUT情報設定部を備えたスケルチ処理部の全体の構成図であり、図 2 3 と同一部分には同一符号を付している。P/S変換部 $53_1 \sim 53_N$ はラッチ $54_1 \sim 54_N$ のそれぞれに記憶された28 VTチャンネルのスケルチ判定結果をシリアルに変換して出力するもの、多重部55は各P/S変換部 $53_1 \sim 53_N$ から出力する $N \times 28$ 個のスケルチ判定結果を多重してスケルチ挿入部56に入力し、スケルチ判定結果をVTチャンネル信号に挿入するものである。

BLSR情報設定部61はN個のSTSチャンネルのそれぞれのレジスタ $61_1 \sim 61_N$ に対してBLSR情報を設定し、NUT情報設定部62はN個のSTSチャンネルのそれぞれのレジスタ $62_1 \sim 62_N$ に対してNUT情報を設定する。BLSR判定部63は全STSチャンネルのそれぞれについてBLSR情報とNUT情報を用いてスケルチ処理を行うか否かを判断し、スケルチ処理を行なわないSTSチャンネルに応じたラッチ $54_1 \sim 54_N$ にクリア信号(マスク信号)CLRを出力し、スケルチ処理を行う必要があるSTSチャンネルに応じたラッチ回路 $54_1 \sim 54_N$ にのみスケルチ判定結果をラッチさせる。

【 0 0 1 8 】

(h) Activate 処理

VTスケルチ判定結果を監視し、スケルチモニター情報を要求によりCPUへ通知する必要がある。このため、図 2 5 に示すように多重部55にActivate 処理部64を接続し、 $N \times 28$ 個の全VTチャンネルのスケルチ判定結果を監視するようにしている。Activate 処理部64は、 $N \times 28$ 個の全VTチャンネルのスケルチ判定結果を保持するスケルチモニタ情報保持部64aと、全VTチャンネルのそれぞれについて設定時間以上継続してスケルチ状態(救済不可能状態)になったか監視するタイマー

部64bを有している。すなわち、Activate 処理部64は図26に示すようにスケルチ判定結果SQLが設定時間 t_s 以上継続してハイレベルの時、CPUに見せる情報 SQL_{COM} をハイレベルにし、スケルチ判定結果SQLがローレベルになると直ちに情報 SQL_{COM} をローレベルにする。

【0019】

図27はActivate処理部の構成図であり、 $N \times 28$ 個の全VTチャンネルのスケルチ判定結果(生情報)HWtを記憶する記憶部65a、生情報HWtの変化情報 $\Delta(t, t-1)$ を演算するEOR回路65b、 $N \times 28$ 個の全VTチャンネルの変化情報 $\Delta(t, t-1)$ を記憶するラッチ部65c、CPUに見せる情報SWtを図28の論理表にしたがって演算して出力するハードウェア部65d、前サンプリング時における $N \times 28$ 個の全VTチャンネルのSWtを記憶する記憶部65eを有している。

【0020】

(i) サービスセクタ情報

VT回線切換部(VT TSI) 22(図21参照)後のVTプロテクションスイッチ部(VT PSW 23)のセクタを、サービスセクタ(Service Selector)として使用するか、USPRのPath 選択スイッチとして使用するかを設定する必要がある。

図29はセクタをService Selectorとして使用する場合の説明図である。BLSR Ringは、最大16ノードまで拡張できるがそれ以上のノード数を取容する為には、図29に示すように2以上のBLSR Ring を構築し、それらを相互接続する必要がある。Service Selector (SS)は、このリングシステム間の相互接続におけるVTレベルでの救済を実現する。すなわち、一方のリングのService Selector (SS)は、他方のリングより直接DropされてくるInset側と同一リング内のSecondary Nodeから入力されてくるThrough側の信号についてVTレベルの救済を行う目的でVT channel単位のPath切り換えを行う。例えば、BLSR Ring R1のノードAから送出されたVT信号はInset側とThrough側を介してBLSR Ring R2のサービスセクタSS2に入力する。サービスセクタSS2は通常Through側より入力するVT信号を選択してノードA'に送出する。かかる状態において、F点で伝送路障害が発生すると、サービスセクタSS2は以後Insert側より入力するVT信号を選択してノードA'に送出し通信を継続する。

【 0 0 2 1 】

図 3 0 はセクタをUPSRのPath 選択スイッチとして使用する場合の説明図であり、セクタ76にはEAST側(デフォルト側)とWEST側(非デフォルト側)より信号が入力するが、セクタ76はPSW制御部75の制御で通常デフォルト側の信号77を選択して出力する。デフォルト側のALM検出部70と非デフォルト側のALM検出部71は入力信号よりデフォルト側、非デフォルト側のアラームを検出してALMレジスタ72にセットすると共に、PSW制御部75にアラームの発生を通知する。したがって、デフォルト側での通信中にデフォルト側ALM検出部70がアラームを検出すると、PSW制御部75の制御によりセクタ76は非デフォルト側からの信号を選択して通信を継続する。障害によりデフォルトパスから非デフォルトパスに切り替えられた後、デフォルトパスが障害から回復すると、WTR制御レジスタ74に設定されているWTR(Wate To Restore)時間経過後に元のデフォルトパスに切り戻す。WTR制御レジスタ74には、CPU 73からWTR時間が設定される。

【 0 0 2 2 】

図 3 1 はスケルチ処理部の後段にサービスセクタ情報設定部を配列した構成図であり、図 2 4 と同一部分には同一符号を付しており、スケルチ挿入部56にVT信号回線切り替え部(VT TSI)22、VTプロテクションスイッチ部(VT PSW)23が順に接続されている。サービスセクタ情報設定部66はN×28個の全VTチャンネルについて、VTプロテクションスイッチ部(VT PSW)23のセクタを、Service Selectorとして使用するか、UPSRのPath 選択スイッチとして使用するかを設定し、P/S変換部67は設定されたサービスセクタ情報をVTチャンネルに同期して順次読み出してVTプロテクションスイッチ部(VT PSW)23に入力し、VTプロテクションスイッチ部(VT PSW)23はサービスセクタ情報に基づいてservice selectorあるいはUPSRパススイッチとして選択動作を実行する。

【 0 0 2 3 】

(j) 2つのVT交換部間の同期制御

VT交換およびATM交換の共存を可能とするために、VT/ATM交換部用に2スロット備え、適宜VT交換部とATM交換部を差し替えて使用可能としたADM装置がある。これは、ATMレベルの交換をしたいユーザ、VTレベルでの交換をしたいユーザ、AT

M/VT両方の交換をしたいユーザがいるからである。VTレベルのみの交換をするには、各スロットにVT交換パッケージを挿入し、2つのVT交換部間でそれぞれに割り当てられたVTチャンネル信号(VT信号)の受け渡しが必要になり、このため両VT交換部におけるVT信号の位相差を吸収する必要がある。

【 0 0 2 4 】

図 3 2 はVT交換部81,82間でVTチャンネル信号(VT信号)の受け渡しを行う構成図であり、STS交換部(STS TSI)80から出力するSTS信号が半分づつそれぞれVT交換部81,82に入力する(DATA1,DATA2)。VT交換部81,82は同一の構成を備え、VTポインタ付け替え部81a,82a、エラスティックメモリ(ES部)81b,82b、VT回線切換部81c、82c、PSW/SS部 81d,82d、マルチフレームタイミング生成部81e、82eを備えている。VT回線切替部81c,82cの前段に設けられたエラスティックメモリ81b,82bは、2つのVT交換部のデータ間の位相差を吸収するものである。2つのVT交換部81,82間でVTポインタ付け替え後のVTチャンネル信号を互いに送受し、授受データをエラスティックメモリ(ES部)81b,82bに記憶し、しかる後、エラスティックメモリ(ES部)81b,82bよりマルチフレームタイミングで読み出すことにより両VT交換部81,82のデータ間の位相差を吸収する。

【 0 0 2 5 】

【発明が解決しようとする課題】

(a) 第1の問題点

従来、VTアクセスを行なうSTS信号(VT-accessed STSs)を任意に選択するADM装置では、NUT情報設定のために図 2 4 に示すようにSTS-1チャンネル数分(=Nチャンネル分)のNUT情報設定用のレジスタ $62_1 \sim 62_N$ を用意している。しかし、Nチャンネル全てのSTS信号がBLSRより入力しなければ(Nチャンネル全てがBLSR救済対象チャンネルでなければ)、無駄なレジスタを用意しておくことになり、非効率的な構成となる。例えば、ADM装置がSTS-1信号を最大N(=192)チャンネル分クロスコネクトする場合において、BLSRのEAST、WEST方向の最大伝送レートがOC-48であれば、96個のSTS-1チャンネルにNUT情報を設定すれば良く、N(=192)個のレジスタを用意する必要はない。

【 0 0 2 6 】

又、NUTチャンネルであるか否かの設定はLINE側インタフェースにおいて、East側のWorkingチャンネル、East側のProtectionチャンネル、West側のWorkingチャンネル、West側のProtectionチャンネルの4種類チャンネルを1セットにして設定されている。例えばOC-48であれば、EAST側におけるSTS-1のWorkingチャンネル #1-24に設定されたNUT情報は、EAST側のProtectionチャンネル #25-48、West側のWorkingチャンネル #1-24、West側のProtectionチャンネル #25-48に設定されるNUT情報と同じである。従って、 $24(=96/4)$ 個のEAST側working channel についてののみNUT情報を設定すれば良い。また、Enhance NUTをサポートしている場合は、(Enhance NUTとは、Working チャンネルとProtection チャンネルを個別に指定可能とするNUT)East側のWorkingチャンネルとWest側のWorkingチャンネルの2種類を1セットにして設定されている。従って、 $48(=96/2)$ 個のEast側Working channel及びEast側Protection channelについてののみNUT情報を設定すれば良い。それにも係らず従来は、任意に選択されたVT-accessed STSsがLINE側インタフェースにおけるチャンネルとリンクされていないために、4種類の全チャンネル($=192$)にNUT情報を個別に設定させており、回路効率が良くないという欠点があった。

【 0 0 2 7 】

(b) 第2の問題点

従来、BSLR救済対象のSTS-1チャンネルを識別する為に、図 2 4 に示すように装置の最大のSTS-1チャンネル数分(N チャンネル分)のBSLR情報設定用のレジスタ $61_1 \sim 61_N$ を用意している。しかし、BSLR情報は、装置のLINE側インタフェースにおいてLINE単位に一義的に決まる情報であり、STS単位に入れ換えた後のSTS-1チャンネル毎にBSLR情報を持たせることは、無駄なレジスタを用意しておくことになり、非効率的な構成となっていた。例えば、BSLRが収容可能な最大のSTS-1チャンネル数を $n(OC-n)$ とすれば、EAST/WEST方向及びWork/Protectionそれぞれに共通に $n/2$ 個のBSLR情報設定用のレジスタを設けるだけで良く、OC-48であれば24個のレジスタを設けるだけで良い。。

また、従来は図 2 4 に示すように、BSLRトラヒックを識別する為にBSLR情報とNUT情報との論理をとるBSLR判定回路 $63_1 \sim 63_N$ 、このBSLR判定結果を用いてVTス

ケルチ判定結果をマスク処理するマスク処理回路(ラッチ回路) $54_1 \sim 54_N$ がそれぞれ、装置の最大STS-1チャンネル数分(Nチャンネル分)必要であり、非効率的な回路構成となっていた。

【 0 0 2 8 】

(c) 第3の問題点

従来、VT-accessed STSsを任意に選択した場合のVTスケルチ・モニター情報をCPUへ通知するために、図 2 5 に示すように装置の最大VTアクセス処理容量に相当する VTチャンネル数分($N \times 28$ チャンネル数分)のスケルチモニタ情報保持部が必要であった。しかし、Nチャンネル全てのSTS信号がBLSRより入力しなければ、すなわち、Nチャンネル全てがBLSR救済対象チャンネルでなければ、無駄なレジスタを用意しておくことになり、非効率的な構成となっていた。又、全てのVT-accessed STSsがBLSRより入力する場合でも、スケルチ挿入対象とならないプロテクションチャンネル分に相当する無駄なスケルチモニタ情報保持部を用意しておくことになり、非効率的な構成となっていた。

【 0 0 2 9 】

(d) 第4の問題点

従来、VT-accessed STSsを任意に選択した場合、VTパス・プロテクションスイッチ部(VT PSW)をVT サービスセクタ(Service Selector)として動作させるか、(2) UPSRのパス選択スイッチとして動作させるかは、Service Selector情報(SS情報)により設定されている。すなわち、最大VTアクセス処理量である $N \times 28$ VTチャンネルそれぞれにSS情報設定用のレジスタをSS情報設定部66に用意し(図 3 1)、各レジスタに所定のVTチャンネルのSS情報を設定する。そして、主信号のシリアル処理に合わせてSS情報をSS情報設定部66より直列的に読み出してVTパス・プロテクションスイッチ部に渡す。これにより、VTパス・プロテクションスイッチ部は、VTチャンネル毎にSS情報に基づいてVT Service SelectorあるいはUPSRのパス選択スイッチとして動作する。

【 0 0 3 0 】

ところで、VTパス・プロテクションスイッチ部(VT PSW)は、BLSR救済対象のSTS-1チャンネルに収容されているVTチャンネルに対してのみVT サービスセクタ

として動作し、それ以外のVTチャンネルに対してはUPSRのパス選択スイッチとして動作すれば良い。これは、SS情報がBLSR情報とNUT情報とから判断可能であることを意味している。それにも係わらず、従来は、VTパス・プロテクションスイッチ部がVT回線切替え後に位置するため、NUT情報やBLSR情報の設定に関係無く別個にSS情報設定用レジスタを設けるものであった。このため、レジスタの重複により、回路効率が良くないという問題があった

【0031】

(e) 第5の問題点

VT交換およびATM交換の共存を可能とするために、ADM装置にVT/ATM交換部を2スロット分用意し、VT交換部とATM交換部を差し替え可能な構成としている。かかるADM装置においてVT交換のみを行なう場合、図32に示すように各VT交換部に割り当てられたVTチャンネル信号(VT信号)を相互に送受する必要がある。この為に2つのVT交換部間でVTポインタ付け替え後のデータを受渡し、回線切替え前の位置に設けたエラスティックメモリに記憶し、マルチフレームタイミングに同期して読み出すことにより2つのVT交換部のデータ間の位相差を吸収するようにしている。しかし、各VT交換部は独立したマルチフレームタイミングを基にVTポインタ付け替えを行なっているため、2つのVT交換部のVTポインタ付け替え後のデータ間の位相差が非常に大きくなり、この位相差を吸収するためには非常に大きな容量のエラスティックメモリを用意する必要があることから、回路効率が良くないという問題があった。

【0032】

以上より、本発明の目的は、NUT情報設定用のレジスタを削減して装置の小型化を図ることである。

本発明の別の目的は、BLSR情報設定用のレジスタ、BLSR判定回路およびVTスケルチのマスク処理回路を削減して装置の小型化を図ることである。

本発明の別の目的は、Activate処理に必要なチャンネル数を削減してスケルチモニタ情報保持用のレジスタ数を削減して装置の小型化を図ることである。

本発明の別の目的は、既存のService Selector設定レジスタを削除することによって装置の小型化を図ることである。

本発明の別の目的は、2つのVT交換部間でVTチャンネル信号(VT信号)を送受する伝送装置において、各VT交換部のVT信号間の位相差を吸収してVT信号を記憶するエラスティックメモリを除去することである。

【0033】

【課題を解決するための手段】

本発明では、BLSRが収容可能な最大STS-1チャンネル数を n とすれば、 $n/4$ チャンネル数分、すなわち、East側Workingチャンネル分のみのNUT情報設定用のレジスタを用意し、該レジスタにEast側WorkingチャンネルのNUT情報を設定し、該NUT情報を、EAST側Workingチャンネル、EAST側Protectionチャンネル、WEST側Workingチャンネル、WEST側ProtectionチャンネルのNUT情報として共用する。また、Enhance NUTをサポートする場合は、 $n/2$ チャンネル数分、すなわちEast側WorkingチャンネルとEast側Protectionチャンネル分のみのNUT情報設定用レジスタを用意し、該レジスタにEast側WorkingチャンネルのNUT情報とEast側ProtectionチャンネルのNUT情報を設定し、該East側WorkingチャンネルのNUT情報をEast側/West側WorkingチャンネルのNUT情報として共用し、該East側ProtectionチャンネルのNUT情報をEast側/West側ProtectionチャンネルのNUT情報として共用する。このようにすれば、NUT情報設定用のレジスタを削減して装置の小型化を図ることができる。

【0034】

本発明では、BLSRに収容されたSTSチャンネル(BLSR救済対象チャンネル)のNUT情報とBLSRのオペレーティング・レート(STS-12, STS-48など)を示すBLSRタイプ設定情報とを使用してBLSR判定を行なう。このようにすれば、BLSR情報設定用のレジスタを削減でき、しかも、BLSR判定処理チャンネル数が少なくなつてBLSR判定回路およびVTスケルチのマスク処理回路を削減でき、装置の小型化を図ることができる。

【0035】

本発明では、BLSR救済対象チャンネルに収容されたVTチャンネルのVTスケルチ判定結果にActivate処理を行ない、Activate後のVTスケルチ判定結果を主信号のSTS回線設定情報を利用してSTS単位でクロスコネクトしてCPUに通知する。この

ようにすれば、BLSRに收容されたSTS-1のチャンネル数分のスケルチモニタ情報を保持するだけで良く、Activate処理チャンネル数を削減でき装置の小型化が可能になる。

【 0 0 3 6 】

本発明では、スケルチマスクに使用する為のチャンネル毎のBLSR判定結果を主信号のSTS及びVT回線設定情報に基づいてクロスコネクトすることによって、VTパス・プロテクションスイッチ部をVT Service Selectorとして動作させるか否を示すSS情報に発生する。このようにすれば、既存のService Selector設定レジスタを削除でき、装置の小型化が可能になる。

【 0 0 3 7 】

本発明では、2つのVT交換部におけるマルチフレームタイミングを合わせ込み、このマルチフレームタイミングを基準として各VT交換部にてVTポインタの付け替えを行ない、これにより2つのVT交換部のデータ間の位相差を最小限に抑える。このようにすれば、2つのVT交換部のデータ間の位相差を吸収する為のエラステックメモリが不要になり、装置の小型化が可能になる。

【 0 0 3 8 】

又、本発明では、2つのVT交換部におけるマルチフレームタイミング位置を合わせ込むために、マスターとなるVT交換部はスレーブとなるVT交換部に基準マルチフレームのタイミングを示すパルスを送る。この基準マルチフレームタイミングパルスは、マスターとなるVT交換部におけるマルチフレームのタイミングから1/2フレーム前の位置を示すDuty50%幅のタイミングパルスである。スレーブとなるVT交換部は、このDuty50%幅の基準マルチタイミングパルスを取り込み、所定の保護を取った後、該基準マルチタイミングパルス位置から最初に来るスレーブVT交換部内で生成されたフレームタイミングパルスの位置をマルチフレームタイミングとして生成する。このようにすれば、単発ノイズの影響を受けずにより確実にマルチフレームタイミングを合わせ込むことが可能になる。

【 0 0 3 9 】

【発明の実施の形態】

(A) 本発明のADM装置

(a) 構成

図1は本発明のADM機能を備えた伝送装置(VTクロスコネクト装置)の全体の構成図で、STSクロスコネクト部100、VTクロスコネクト部200、入力側のINF部300、出力側のINF部400で構成されている。

STSクロスコネクト部100はSTS信号のクロスコネクトを行ない、VTクロスコネクト部200はスケルチ処理を行うと共にVT信号のクロスコネクトを行なう。入力側のLINE終端部300₁～300₂はリング構成のEAST/WEST側光伝送路500₁,500₂から入力する光信号を電気信号に変換すると共にSTS終端処理を行い、トリビュタリー終端部300₃～300_nはトリビュタリー側から入力するDS1などの低次群信号をVT信号に変換し、VT信号を多重してSTS信号にして送出する。出力側のSONET/SDHトランスポート部400₁はSTSクロスコネクト部から入力するSTS信号を光信号に変換すると共にオーバーヘッドを付加してEAST/WEST側光伝送路に送出し、STM収容部400₂はSTS信号をVT信号に分解し、更にDS1などの低次群信号にしてトリビュタリー側へ送出する。

【0040】

STSクロスコネクト部100は、(1) STSレベルでクロスコネクトを行なうSTS信号回線切替部111、112、(2) STS終端処理を行ってSTS信号をVT信号に分離するSTS終端部113、(3) STSパスプロテクションを行なうSTSパスプロテクションSW部(STS Path Protection Switch 部)114、(4) VTレベルでクロスコネクトしたVT信号を多重してSTS信号にするSTS多重部(STS MUX部)115、(5) STS多重部から出力するSTS信号をSTSレベルでクロスコネクトするSTS信号回線切替部116、(6) STS信号回線切替部111とSTS信号回線切替部116でクロスコネクトされたSTS信号の一方を選択するセレクタ(SEL部)16を有している。

【0041】

VTクロスコネクト部200は、(1) VTスケルチ制御を行なうVT SQL制御部 211、(2) スケルチ結果を挿入するVT SQL挿入部212、(3) VTレベルのクロスコネクトを行なうVT信号回線切替部 213、(4) VT service selector あるいはUPSRによるパスプロテクションSWとして動作するVTパスプロテクションSW部214、(5) 主信号のSTSレベルでの回線切替情報(STSクロスコネクト情報)を保持するSTSクロス

コネクト情報保持部(ACM1)215、(6) 主信号のVTレベルでの回線切替情報(VTクロスコネクト情報)を保持するVTクロスコネクト情報保持部(ACM2)216、(7) NUT情報及びBSLR情報よりBSLRにより救済すべきVTチャンネルを判別して出力するBSLR救済チャンネル識別部217、(8) VTスケルチ判定結果を監視し、要求によりCPUへ通知するVTスケルチモニター/通知部218、(9) BSLR救済チャンネル情報(BSLR判定結果情報)に基づいて、VTパスポテクションSW 214をservice selectorとして使用するか否かのSS情報を発生するSS情報発生部219を有している。

【 0 0 4 2 】

VT SQL制御部 211は、BSLRのEast側Workingチャンネルに収容されたVTチャンネルそれぞれにスケルチテーブルを設定するスケルチテーブル設定部221、East側Workingチャンネルに収容されたVTチャンネルそれぞれについてスケルチ判定を行うスケルチ判定部222、VTチャンネル毎のスケルチ結果をラッチするラッチ部223、ラッチ部223よりVTチャンネルのスケルチ結果を並列/直列変換しながら直列的に読み出すP/S部224、主信号データのSTSクロスコネクト情報(回線切替情報)に従ってスケルチ結果を入れ替えてVT SQL挿入部212に入力するセクタ部225を有している。

BSLR救済チャンネル識別部217は、BSLRのEast側WorkingチャンネルがNUTチャンネルであるかを示すNUT情報が設定されるNUT情報設定用レジスタ231、BSLRのオペレーティングレート(OC-12,OC-48など)を示すBSLR TYPEを設定するBSLRタイプ設定部232、NUT情報とBSLR TYPEに基づいてBSLRにより救済するSTSチャンネル(BSLR救済チャンネル)を判定して、VT SQL制御部211とSS情報発生部219に出力するBSLR判定部233を有している。VT SQL制御部211のラッチ部223はBSLR救済チャンネル(スケルチ判定対象チャンネル)のスケルチ判定結果を記憶し、救済する必要がないSTSチャンネルのスケルチ判定結果をマスクして記憶しない。

【 0 0 4 3 】

VTスケルチモニター/通知部218は、BSLR救済チャンネルのスケルチ判定結果を主信号データの回線設定情報(クロスコネクト情報)に基づいて入れ替える前に、該スケルチ判定結果についてactivate処理を行うactivate処理部241、activate処理後のスケルチ判定結果を主信号データのSTS回線設定情報に基づいて入れ替

えて出力するセレクタ242、入替え後のスケルチ判定結果をCPUに送信するインタフェース処理を行う μ -COM INF部243を有している。

SS情報発生部219は、BLSR救済チャンネル識別部217のBSLR判定部233から出力するBSLR判定結果（BLSRに収容されたSTS-1チャンネルをBLSRにより救済するかどうかを示す情報）を主信号データのSTS回線設定情報に基づいて入れ替えるセレクタ251、入れ替えられたBLSR救済チャンネルのそれぞれに収容されたVTチャンネルをVTレベルでの回線切替情報に基づいて入れ替え、入替え後のVTチャンネルに対してはservice selectorとして動作するようにVTパスポテクションSW部214に指示するセレクタ252を有している。

【 0 0 4 4 】

（b）動作

LINE終端部 $300_1 \sim 300_2$ およびTRIB終端部 $300_3 \sim 300_n$ は、回線側および加入者側から送られてきた信号をLINE終端またはパス終端し、終端後の信号を分岐してSTS回線切り替え部111,112に渡す。

STS回線切替え部111は、回線側及び加入者側から送られて来たSTS信号のうちパススルーさせるSTS信号（VTレベルのクロスコネクトしないSTS信号）を選択して回線切替えを行ない、STSパス・プロテクションスイッチ部114は、STSレベルの信号救済の為にパス・プロテクションスイッチ又はService Selector SWとして動作する。

【 0 0 4 5 】

STS回線切替え部112は、回線側及び加入者側から送られて来たSTS信号からVTレベルでのクロスコネクトするSTS信号（VT-accessed STSs）を任意に選択する。VT-accessed STSsの選択は、STSクロスコネクト情報保持部（ACM1）215からの選択情報に従って実行する。STSパス終端部113はVT-accessed STSsとして選択されたSTS信号にSTSパスの終端処理を施してVT信号に分解し、スケルチ挿入部212は該当するVTチャンネルに対してVT Squelch（スケルチ判定結果）を挿入する。VT回線切替え部213は、VTクロスコネクト情報保持部（ACM2）216からのVT回線設定情報に従ってVTチャンネル単位に回線切替えを行ない、VTパス・プロテクションスイッチ部214は、VT信号のパス・プロテクションスイッチ又はService Selector SWと

して動作する。STS MUX部115はVT処理後のVT信号を多重してSTS信号にしてSTS信号回線切替部116に入力し、STS回線切替え部116は再びSTSレベルの回線切替えを行なう。

【 0 0 4 6 】

2:1選択部117は、STSパススルー側のSTS信号とVT-accessed STSs側の信号とのどちらを装置の外に出力するかを選択する。選択されたSTS信号は、SONET/SDHトランスポート部400₁およびSTM収容部400₂において装置間インタフェース信号に変換された後、回線側及び加入者(トリビュタリー)側に出力される。

VT SQL制御部211の中のスケルチテーブル設定部221は、CPU等から予め設定されたスケルチテーブルを格納する。SQL判定部222は設定されたスケルチテーブルと、障害時にネットワーク上の他の装置から送られてくるFar End Node IDとを用いてスケルチを実行するか否かを判定する。Latch部223は、スケルチ判定部222での判定結果を保持し、P/S部224はLatchされたSQL判定結果情報をSTS単位で直列に読み出し、セクタ225はSTSクロスコネクト情報保持部(ACM1)215からの回線設定情報に従ってSQL判定結果情報を選択して主信号のVTチャンネルにリンクする。

【 0 0 4 7 】

また、NUT情報設定用レジスタ部231は、CPU等から予め設定されたNUT情報を格納し、BLSR Type設定部232は、CPU等から設定されたBLSRのオペレーティング・レートを示すBLSR Type情報を格納し、BLSR判定部233は設定されたNUT情報とBLSR Type情報とを用いてBLSRトラヒック(BLSR救済対象チャンネル)であるか否かを判定する。NUT情報設定部231およびBLSR判定部233は、BLSRの伝送路に割り当てられているEast側Workingチャンネル分のみ用意されており、BLSR判定結果はVT SQL制御部211のLatch部223に入力され、VT スケルチのマスク情報として使用される。

【 0 0 4 8 】

また、SS情報発生部219のセクタ251は、STSクロスコネクト情報保持部(ACM1)215に保持されているSTS回線設定情報に従ったタイミングで各BLSR判定結果を選択して出力する。これにより、BLSR判定結果のSTSレベルでのチャンネル入れ

替えが行われ、VT回線切替え前の各主信号のVTチャンネルにリンクされる。更に、セクタ252は、VTチャンネルにリンクされたBLSR判定結果をVTクロスコネクト情報保持部(ACM2)216に記憶されたVTクロスコネクト情報に従ったタイミングで選択して出力する。これにより、BLSR判定結果のVTレベルでのチャンネル入替えが行われ、VTレベルの回線切替え後の主信号のVTチャンネルにリンクする。この入れ換え後のBLSR判定結果情報は、VTパス・プロテクションスイッチ部214に渡される。VTパス・プロテクションスイッチ部214は、入力し他BLSR判定結果をService Selector情報として使用し、BLSRトラヒック(BLSR救済対象チャンネル)であるVTチャンネルに対してService Selector SWとして動作し、他のトラヒックに対してはUPSRのパス選択スイッチとして動作する。

【 0 0 4 9 】

(B) スケルチ処理

図2はスケルチ処理に関係する部分の構成図であり、図1と同一部分には同一符号を付している。

ADM装置に接続するBLSR Ringのタイプは予め決められており、例えば(1)OC-48のBLSR Ring、(2)OC-12のBLSR Ring#1、(3)OC-12のBLSR Ring#2がADM装置に接続可能である。又、各タイプのBLSRをADM装置に挿入するスロットは予め決まっており、図3(a)に示すように、(1)OC-12 BLSR Ring#1であればスロット1がEAST側、スロット2がWEST側になり、(2)OC-12 BLSR Ring#2であればスロット9がEAST側、スロット16がWEST側になり、(3)OC-48 BLSR Ringであれば、図3(b)に示すように、スロット1,9がEAST側、スロット2,16がWEST側になる。

【 0 0 5 0 】

OC-48あるいはOC-12のBLSR Ringに収容されたSTSチャンネル(救済対象チャンネル)はNUTチャンネルでなければ、BLSRによる救済チャンネルである。又、OC-48であれば、EAST側のSTS-1 #1～#24がworking channel、STS-1 #25～#48がprotection channel、WEST側のSTS-1 #1～#24がworking channel、STS-1 #25～#48がprotection channelとなる。そして、図4に示すようにNUT情報によりEAST側STS-1 #1～#3がNUT channelであると設定されると、EAST側STS-1 #25～#27及びWEST側STS-1 #1～#3、STS-1 #25～#27もNUT channelになる。以上はOC-48の場合であるが

OC-12の場合も同様である。

【 0 0 5 1 】

以上から、BLSRタイプがOC-12 Ring #1あるいはOC-12 Ring #2であればEAST側 working channel STS-1 #1～#6にNUT情報を設定すればよく、BLSRタイプがOC-48 Ring #1～#24であればEAST側 working channel STS-1 #1～#24にNUT情報を設定すればよい。このため、図2のNUT情報設定部231には、トータル36個のNUT情報を設定するためのレジスタを設け、OC-12 Ring #1及びOC-12 Ring #2のEAST側 working channel #1～#6のNUT情報、OC-48 RingのEAST側 working channel #1～#24のNUT情報を設定する。実際には、図5に示すように16ビットレジスタを4つ設け、それぞれに各BLSR TypeのNUT情報を設定する。

【 0 0 5 2 】

又、BLSR TYPE 設定部232には、BLSR TYPE(OC-12 Ring #1, OC-12 Ring #2, OC-48 Ringの別)を設定する。図6はBLSR TYPEの設定例であり、3ビットでBLSR TYPEを設定する。なお、2ビットでBLSR TYPEを設定することもできる。

BLSR判定部233はBLSR TypeとNUT情報に基づいてBLSR救済チャネルを決定し、BLSR救済チャネル情報(BLSR判定結果)を36-24変換部234に入力し、36-24変換部234は24個のBLSR判定結果を出力する。BLSR TYPEはOC-12 Ring #1, OC-12 Ring #2, OC-48 Ringの3種類であり、STS-1救済対象チャネルの最大数は24チャネルである。このため36-24変換部234は24個のBLSR判定結果を出力する。

【 0 0 5 3 】

スケルチ処理対象のSTSチャネルは、BLSRに収容されているSTSチャネル(BLSR救済対象チャネル)のうちNUTチャネルでないチャネル(BLSR救済対象チャネル)で、最大数は24チャネルである。このため、スケルチテーブル設定部221は、STSチャネルch1～ch24のそれぞれのVTチャネルVT1～VT28に対応してスケルチテーブル221₁～221_M (M=24)を備え、 μ -COMより各テーブルに対応するVTチャネルの接続先情報(EAST側及びWEST側における接続先ノードID)を記録する。なお、STSチャネルch1～ch24はBLSR救済対象チャネルをSTS信号回線切替部112でクロスコネクトする前のチャネルである。

【 0 0 5 4 】

SQL判定部222₁～222_M(M=24)はそれぞれ28 VTチャンネル分の判定部を備え、28×M個の各VTチャンネル毎にFar End Node IDとスケルチテーブルに設定されているノードIDを比較し、VTスケルチを実行するかどうかの判定を行なう。ラッチ部223₁～223_MはBLSR判定結果に基づいてBLSR救済チャンネルのスケルチ判定結果をラッチし、救済対象外のチャンネルのスケルチ判定結果はマスクしてラッチしない。P/S変換部224₁～224_Mはラッチ223₁～223_Mのそれぞれに記憶された28 VTチャンネルのスケルチ判定結果をシリアルに変換して出力し、セクタ225はSTSクロスコネクト情報保持部(ACM1)215に記憶されているSTSクロスコネクト情報に基づいてch1～ch24に応じたEAST側working/protection channel及びWEST側working/protection channelのタイミングでP/S変換部224₁～224_Mからシリアルに出力するスケルチ判定結果を選択し、スケルチ挿入部212に入力する。スケルチ挿入部212は入力するスケルチ判定結果を該当するEAST側working/protection channel及びWEST側working/protection channelのVT信号に挿入する。

【 0 0 5 5 】

以上要約すると、図中の左上から入力されるDataは、VT-accessed STSsとして選択されたSTS信号をVT信号に分解した信号であり、スケルチ挿入部212において、該当するVTチャンネルに対してVTスケルチ判定結果が挿入される。

スケルチテーブル設定部221は、CPU等から設定されたスケルチテーブルを格納するものであり、スケルチ判定部222は設定されたスケルチテーブルと障害時にネットワーク上の他の装置から送られてくるFar End Node IDとを用いてスケルチを実行するか否かを判定するものであり、Latch部223は、スケルチ判定部222での判定結果を保持しておくものである。Latchされた情報はP/S部224からSTS単位に直列に出力され、セクタ225においてSTSクロスコネクト情報保持部(ACM1)215からの回線設定情報に従って選択される。スケルチ挿入部212は、セクタ225より送られてくるスケルチ判定結果を対応するVTチャンネルの主信号に挿入する。

【 0 0 5 6 】

また、NUT情報設定部231は、CPU等から設定されたNUT情報を格納するものであり、NUT情報はBLSRで使用するEast側Workingチャンネル分のみ用意されている

。図 2 では、OC-48BLSR構成またはOC-12BLSR×2構成に対応する装置の例として、OC-12BLSR用の6チャンネル×2とOC-48BLSR用の24チャンネル分のNUT情報を持たせている。

BLSR Type設定部232は、CPU等から設定されたBLSRのオペレーティング・レートを示すBLSR Type情報を格納するものである。BLSR判定部233は、設定されたNUT情報とBLSR Type情報とを用いて、East側Workingチャンネルに当たるチャンネルが実際にBLSRトラヒック(BLSR救済チャンネル)であるか否かを判定するものである。このBLSR判定結果は、OC-48 BLSR用とOC-12BLSR用とが存在するので、BLSR Type情報に基づいて36→24変換部234においてどちらか片方が選択され、VT スケルチ判定結果をマスク処理するためにLatch部223に渡される。

【 0 0 5 7 】

以上のように、本発明によれば、BLSRで使用されるEast側Workingチャンネル分のみNUT情報用レジスタを用意するだけでよいため、NUT情報設定部のレジスタを削減することが可能となり、回路の削減とCPUの処理負荷の軽減が可能となる。装置の最大VTアクセス処理容量を10Gbps(=192 STS-1チャンネル)とすれば、従来のNUT情報設定用レジスタの個数(N)と本発明でのレジスタ個数(M)との比較を図 7 (a)に示す。

又、本発明によれば、BLSRに収容されたチャンネル(BSLR救済対象チャンネル)にリンクしたNUT情報とBLSRのオペレーティング・レートを示すBLSR Type設定情報とを使用してBLSR判定を行なうことができる。このため、BLSR設定用レジスタを削減することが可能となり、加えて、BLSR判定処理チャンネル数を削減でき、BLSR判定回路およびVTスケルチのマスク処理回路を削減することが可能となる。装置の最大VTアクセス処理容量を10Gbps(=192 STS-1チャンネル)とすれば、従来のBLSR情報設定用レジスタ個数(N)と本発明でのBLSR Typeレジスタ個数(L)との比較を図 7 (b)に示す。

【 0 0 5 8 】

(C) VTスケルチモニタ及び通知処理

図 8 は本発明のVT SQL制御部にVTスケルチモニタ/通知部を接続した構成図であり、図 1 及び図 2 と同一部分には同一符号を付している。

ADM装置ではVTスケルチ判定結果を監視し、要求によりCPUへ通知する必要がある。このため、スケルチ判定結果を主信号データのSTS回線設定情報に基づいて入れ替える前に、P/S変換部224よりVTスケルチモニター/通知部218に入力し、ここでBLSR救済チャンネルのスケルチ結果を監視する。

VTスケルチモニター/通知部218は、スケルチ判定結果についてactivate処理を行うactivate処理部241、activate処理後のスケルチ判定結果を主信号データのSTS回線設定情報に基づいて入れ替えるセレクタ242、入替え後のスケルチ判定結果をCPUに送信するインタフェース処理を行う μ -COM INF部243を有している。

【 0 0 5 9 】

Activate 処理部241は、BLSR救済対象チャンネルにおける全VTチャンネル($M \times 28$, $M=24$)のスケルチ判定結果を保持するスケルチモニタ情報保持部241aと、 $M \times 28$ の全VTチャンネルについて設定時間以上継続してスケルチ状態(救済不可能状態)になったか監視するタイマー部241bを有している。Activate 処理部241の動作は図26～図28の従来例と同じである。異なる点は、ADM装置が処理可能なSTSチャンネル数を $N(=192)$ とすれば従来例のActivate処理部が $N \times 28$ の全VTチャンネルに対してスケルチ結果を監視処理を行うが、本発明ではBLSR救済対象チャンネル数を $M(=24)$ とすれば $M \times 28$ のVTチャンネルに対してスケルチ結果を監視すれば良い点である。

【 0 0 6 0 】

Activate処理部241は、P/S変換部224からSTS単位で直列的に読出される各VTチャンネルにおけるSQL判定結果の連続性をActivateタイマーにより監視するActivate処理を行なう。BLSR救済対象チャンネルにリンクした $M \times 28$ 個のVTチャンネルのスケルチ判定結果がActivate処理対象となり、スケルチモニタ情報保持部241a、Activateタイマー241bは $M \times 28$ チャンネル分用意されている。なお、図8ではVT1.5を例にとり、STS-1チャンネルに28VTチャンネルがリンクしている場合を示している。

セレクタ242は、主信号データのSTS回線設定情報に基づいて $ch1 \sim chM(M=24)$ に応じたEAST側working/protection channel及びWEST側working/protection channelのタイミングでActivate処理後のSQL判定結果を選択して出力する、これによ

り、Activate処理後のSQL判定結果のSTSレベルでのチャンネル入替えが行われ、 μ -COM INF 243は入れ換え後のSquelch Monitor情報をCPUからの要求に応じて適宜通知する。

【 0 0 6 1 】

以上本発明によれば、BLSR救済対象チャンネルにリンクしたVTスケルチ判定結果にクロスコネクト前にActivate処理を施し、Activate処理後のVTスケルチ判定結果を主信号のSTS回線設定情報を利用して入れ換えてCPUに通知するようにしたから、Active処理チャンネル数を削減することが可能となる。たとえば、装置の最大VTアクセス処理容量を10Gbps(=192 STS-1チャンネル)とした場合の従来のActivate処理チャンネル数($N \times VT$)と本発明での処理チャンネル数($M \times VT$)との比較を図7(c)に示す。

【 0 0 6 2 】

(D) SS情報の発生制御

図9は本発明のSS情報発生部をBLSR救済チャンネル識別部に接続した構成図であり、図1及び図2と同一部分には同一符号を付している。

VT回線切換部213の後段のVTプロテクションスイッチ部213に含まれるセレクタ(図示せず)を、サービスセレクタ(Service Selector)として動作させるか、USPRのPath 選択スイッチとして動作させるかを設定する必要がある。いずれで動作させるかは、BLSR救済チャンネルに収容されているVTチャンネルに対してサービスセレクタ(Service Selector)として動作させ、他のVTチャンネルに対してはUSPRのPath 選択スイッチとして動作させるように設定すれば良い。

そこで、本発明のSS情報発生部219は、BLSR救済チャンネルを特定するBLSR判定情報を用いてSS情報(service selector情報)を発生し、このSS情報によりVT Service Selectorとして動作するか、USPRのPath 選択スイッチとして動作するかをVTプロテクションスイッチ部213に設定する。

【 0 0 6 3 】

SS情報発生部219は、BLSR救済チャンネル識別部217から出力するBLSR判定結果(BLSRに収容されたSTS-1チャンネルをBLSRにより救済するか否かを示す情報)を主信号データのSTS回線設定情報に基づいて入れ替えるセレクタ251、入れ替え

られたBLSR救済チャンネルのそれぞれに収容されたVTチャンネルをVTレベルでの回線切替情報に基づいて入れ替え、入替え後のVTチャンネルに対してはservice selectorとして動作するようにVTパスポテクションSW部214に指示するセクタ252を有している。

【0064】

セクタ251は、STSクロスコネクト情報保持部(ACM1)215に保持されているSTS回線設定情報に従ったタイミングで各BLSR判定結果を選択して出力する。これにより、BLSR判定結果のSTSレベルでのチャンネル入替えが行われ、STS回線切替後の主信号のVTチャンネルにリンクされる。更に、セクタ252は、VTチャンネルにリンクされたBLSR判定結果をVTクロスコネクト情報保持部(ACM2)216に記憶されたVTクロスコネクト情報に従ったタイミングで選択して出力する。これにより、BLSR判定結果のVTレベルでのチャンネル入替えが行われ、VTレベルの回線切替後の主信号のVTチャンネルにリンクする。この入れ換え後のBLSR判定結果情報は、VTパス・プロテクションスイッチ部214に渡される。VTパス・プロテクションスイッチ部214は、入力したBLSR判定結果をVT Service Selector情報として使用し、BLSRトラヒック(BLSR救済チャンネル)であるVTチャンネルに対してVT Service Selector SWとして動作し、他のトラヒックに対してはUPSRのパス選択スイッチとして動作する。

【0065】

以上本発明によれば、VTパスポテクションスイッチ部をVT Service Selectorとして動作させるか否かを設定するために従来必要とされいたレジスタ($N \times 28$ チャンネル分)を削除することが可能となり、回路の削減とCPUの処理負荷の軽減が可能となる。

【0066】

(E) VT交換部間の位相差制御

VT交換およびATM交換の共存を可能とするために、VT/ATM交換部用に2スロット備え、適宜VT交換部とATM交換部を差し替えて使用可能としたADM装置がある。かかるADM装置でVT交換のみを行う場合、各スロットにVT交換パッケージを挿入し、2つのVT交換部間でVTチャンネル信号(VT信号)の入れ換えを行う。このVT信号

の入替えのために両VT交換部におけるVT信号の位相差を吸収する必要がある。

図10は位相差を吸収するための構成を備えた本発明のダブルVT交換部の構成図であり、2つのVT交換部300,400は略同一の構成を備えている。本発明では、2つのVT交換部300,400におけるVTマルチフレームタイミングを合わせ込み、このマルチフレームタイミングを基準として各VT交換部にてVTポインタ付け替えを行なう。これにより、2つのVT交換部300,400のデータ間の位相差を最小限に抑えつつ位相差を吸収する。

【0067】

また、本発明では、2つのVT交換部300,400におけるマルチフレームタイミング位置を合わせ込むために、マスターとなるVT交換部300はスレーブとなるVT交換部400に基準マルチフレームのタイミングを示すパルスを送る。この基準マルチフレームタイミングパルスは、マスターとなるVT交換部300におけるマルチフレームのタイミングから1/2フレーム(=62.5 μ s)前の位置を示すDuty 50%幅のタイミングパルスである。スレーブとなるVT交換部400は、このDuty50%幅の基準マルチフレームタイミングパルスの保護を取ったものを基準タイミングとする。これにより、単発ノイズの影響を受けずにより確実にマルチフレームタイミングを合わせ込むことが可能になる。

【0068】

図10において、図中の右側から入力される基準タイミングパルスは、STS交換部に回路が集中することを避けるためにSTS交換部より分配される125 μ s周期の基準タイミングパルスである。

ES部(エラスティックメモリ部)301,401はSTS交換部から分配された基準タイミングパルスをVT交換部内の78MHzのマスタークロックに寄せ替えるものである。フレームタイミング生成部302,402は、クロック寄せ替え後のフレームタイミングについて125 μ s周期の3段保護をとった後、このフレームタイミングを基にフレームタイミングカウンタ(図示せず)を回し、VT交換部内の125 μ s周期のフレームタイミングパルスF1,F2(図11参照)を生成する。マスターとなるVT交換部内のマルチフレームタイミング生成部303は、自VT交換部300にて生成されたフレームタイミングパルスF1を基に自走カウンタにてマルチフレームタイミングパル

スMF1(500 μ s周期)を生成する。しかる後、マルチフレームタイミング生成部303はスレーブとなるVT交換部400に対してマルチフレームタイミングの1/2フレーム(=62.5 μ s)前を示すDuty 50%の基準タイミングパルスMFT(500 μ s周期)とそれに同期したクロックとを出力する。

【 0 0 6 9 】

スレーブVT交換部400において、保護部404はマスターVT交換部300から入力された基準マルチタイミングパルスMFT(Duty50%,500 μ s周期)を0.1 μ s周期でサンプリングし、サンプリング値の連続性を監視し(3回サンプリング値がハイレベルであるか監視し)、3回同値であった場合のみ、基準マルチフレームタイミングパルスMFTを取り込む。

マルチフレーム生成部403では、マスターVT交換部300から取り込んだ基準マルチフレームタイミングパルスMFTを基準として、基準タイミングパルス位置から最初に来る自VT交換部内フレーム生成部402において生成されたフレームタイミングパルスF2の位置をマルチフレームタイミングMF2として生成する。こうすることにより、2つのVT交換部におけるマルチフレームタイミングMF1,MF2の位置が一致する。

【 0 0 7 0 】

一方、図中の左上から入力されるDataは、前段のSTS交換部(図示せず)においてVT-accessed STSsとして選択された最大10Gbps容量(192 STS-1チャンネル分)のSTS信号である。この10GbpsのSTS信号は例えばSTS-12信号を16チャンネル多重した形態を有し、STS-12の16チャンネルを8チャンネルずつ分けてVT交換部300とVT交換部400に入力する。

VT交換部内のSTSバス終端部305 (405)は、入力された最大5Gbps容量のSTS信号にSTSバス終端処理を施してSTS-SPE信号に分解する。VTポインタ受信部306(406)は、STS-SPE信号から受信VTポインタ値を抽出してVT信号に分解する。VTポインタ付け替え部307(407)は、受信したVT信号のV5バイト位置を揃える為にマルチフレームタイミングを基準にしてポインタ値を付け替える。

【 0 0 7 1 】

ポインタ付け替え後のVT信号は、自VT交換部内のVT回線切替え部308 (408)と

、もう片方のVT交換部内のVT回線切替え部408 (308)に渡される。ここで、もう片方のVT交換部400 (300)に出力される信号は、インタフェース信号数を減らすために、STS MUX部309(409)にてSTS-12信号フォーマットに多重されてから出力される。このSTS信号を受信するもう片方のVT交換部400 (300)ではSTS DMUX部410 (310)がSTS-12信号をVT信号にDMUXしてからVT回線切替え部408 (308)に入力する。

【 0 0 7 2 】

PSWトリガーALM検出部311(411)は、VTパス・プロテクション・スイッチまたはVT Service SelectorスイッチのトリガーALMとなるVTレベルのアラームALMを検出するものであり、LOP-V,AIS-V検出部312 (412)は、LOP-VとAIS-Vを検出するものであり、検出したトリガーALM情報とLOP-VまたはAIS-V検出情報は、自VT交換部内のVT回線切替え部308 (408)と、もう片方のVT交換部内のVT回線切替え部408(308)に渡される。

VT回線切替え部308(408)は、自VT交換部300(400)内で生成されたVT信号とトリガーALM情報およびLOP-VまたはAIS-V検出情報と、もう片方のVT交換部400(300)から送られてきたVT信号とトリガーALM情報およびLOP-VまたはAIS-V検出情報とについて、VTレベルの回線切替えを行なう。すなわち、自VT交換部300(400)で処理した5Gbps容量分と、もう片方のVT交換部400(300)で処理した5Gbps容量分とを合わせた5376 VTチャンネル信号を2688 VTチャンネルにVT回線切替えを行なって出力する。

【 0 0 7 3 】

PSW or SS部313(413)では、回線替え後のトリガーALM情報に従ってVT信号およびLOP-VまたはAIS-V検出情報に対してVTパス・プロテクション・スイッチ動作またはVT Service Selectorスイッチ動作を実行する。

POH挿入部314(414)は、VT信号をSTS信号にmappingする際にSTSパス・オーバーヘッドバイトにPOH情報を挿入するもので、C2 ByteにPDI-Pコードを挿入する機能を有するPDI-P送出部315(415)を有している。PDI-P送出部315(415)は、STS信号にmappingするVT信号の障害チャンネル数をカウントし、STS信号のC2 ByteにPDI-Pコードを挿入するものである。障害チャンネル数の算出はLOP-VまたはAIS-

V情報をカウントアップすることにより行う。

STS MUX部316(416)は、STS信号のセクション・ライン・オーバーヘッドByteにセクションオーバーヘッド/ラインオーバーヘッド情報を挿入するもので STS MUX部よりSTS-12フォーマット形態でSTS信号が送出される。

【 0 0 7 4 】

以上、2つのVT交換部におけるVTマルチフレームタイミングを合わせ込み、このマルチフレームタイミングを基準として各VT交換部にてVTポインタ付け替えを行なうから、2つのVT交換部のデータ間の位相差を最小限に抑えることができる。このため、従来必要とされていたエラスティックメモリを除去することができる。又、マスタVT交換部から入力する基準マルチフレームタイミングパルスを厳格に識別することにより、マスタ/スレーブVT交換部において単発ノイズの影響を受けずにより確実にマルチフレームタイミングを合わせ込ことが可能となる。

以上、本発明を実施例により説明したが、本発明は請求の範囲に記載した本発明の主旨に従い種々の変形が可能であり、本発明はこれらを排除するものではない。

【 0 0 7 5 】

【発明の効果】

以上本発明によれば、BLSRで使用されるEast側Workingチャンネル分のみNUT情報用レジスタを用意するだけでよいため、NUT情報設定部のレジスタを削減することが可能となり、回路の削減とCPUの処理負荷の軽減が可能となる。

又、本発明によれば、BLSRに收容されているチャンネル(BSLR救済対象チャンネル)にリンクしたNUT情報とBLSRのオペレーティング・レートを示すBLSR Type設定情報とを使用してBLSR判定を行なうことができる。このため、BLSR設定用レジスタを削減することが可能となり、加えて、BLSR判定処理チャンネル数を削減でき、BLSR判定回路およびVTスケルチのマスク処理回路を削減することが可能となる。

【 0 0 7 6 】

又、本発明によれば、BLSR救済対象チャンネルのVTスケルチ判定結果をクロスコネクトする前にActivate処理を施し、Activate処理後のVTスケルチ判定結果を

主信号のSTS回線設定情報を利用して入れ換えてCPUに通知するようにしたから、Active処理チャンネル数を削減することが可能となる。

又、本発明によれば、BLSR救済チャンネルを示すBLSR判定結果を、主信号データの回線設定情報(STSおよびVT)を利用して入れ替えてVTパス・プロテクションスイッチ部に渡すことにより、SS情報設定用のレジスタ(N×VTチャンネル分)を削除することができ、回路の削減とCPUの処理負荷の軽減が可能となる。

【 0 0 7 7 】

又、本発明によれば、2つのVT交換部におけるVTマルチフレームタイミングを合わせ込み、このマルチフレームタイミングを基準として各VT交換部にてVTポイント付け替えを行なうから、2つのVT交換部のデータ間の位相差を最小限に抑えることができ(位相差の吸収)、従来必要とされていたエラスティックメモリを除去することができる。又、本発明によれば、単発ノイズの影響を受けずにより確実に両VT交換部のマルチフレームタイミングを合わせ込ことが可能となる。

【図面の簡単な説明】

【図 1】

本発明のADM装置の全体構成図である。

【図 2】

スケルチ処理に関係する部分の構成図である。

【図 3】

BLSRタイプとスロットの関係説明図である。

【図 4】

NUT情報とNUT channelの対応説明図である。

【図 5】

NUT情報の設定例である。

【図 6】

BLSR Typeの設定例である。

【図 7】

本発明と従来装置の回路規模の比較例を示す図表である。

【図 8】

本発明のVT SQL制御部にActivate処理部を接続した構成図である。

【図 9】

BLSR救済チャンネル識別部にSS情報発生部を接続した構成図である。

【図 1 0】

本発明のダブルVT交換部の構成図である。

【図 1 1】

各タイミングパルスのタイムチャートである。

【図 1 2】

STS-1フレームフォーマットである。

【図 1 3】

各種VT構成図である。

【図 1 4】

STS-1 SPE構成図である。

【図 1 5】

500 μ s スーパーフレームのSTS-1 SPE構成図である。

【図 1 6】

VTスーパーフレーム構成図である。

【図 1 7】

ADM装置の概略構成図である。

【図 1 8】

リング構成図である。

【図 1 9】

SONETにおけるUPSRを説明するための図である。

【図 2 0】

SONETにおけるBLSRを説明するための図である。

【図 2 1】

伝送装置のシステム構成を示すブロック図である。

【図 2 2】

VTスケルチの概念を説明するための図である。

【図 2 3】

VTスケルチ処理部の構成図である。

【図 2 4】

BLSR情報設定部とNUT情報設定部を備えたスケルチ処理部の全体の構成図である。

【図 2 5】

スケルチ処理部にActivate処理部を接続した構成図である。

【図 2 6】

スケルチモニタ説明図である。

【図 2 7】

アクチベート処理部である。

【図 2 8】

ハードウェアの論理演算説明図である。

【図 2 9】

VT-PSWのセレクタをサービスセレクタSSとして使用する場合は説明図である。

【図 3 0】

VT-PSWのセレクタをUSPRのパス選択スイッチとして使用する場合は説明図である。

【図 3 1】

スケルチ処理部の後段にサービスセレクタ情報設定部を配置した構成図である。

【図 3 2】

VT交換部間でVT信号の入れ換えを行う構成図である。

【符号の説明】

100・・・STSクロスコネクト部

200・・・VTクロスコネクト部

300・・・入力側のINF部

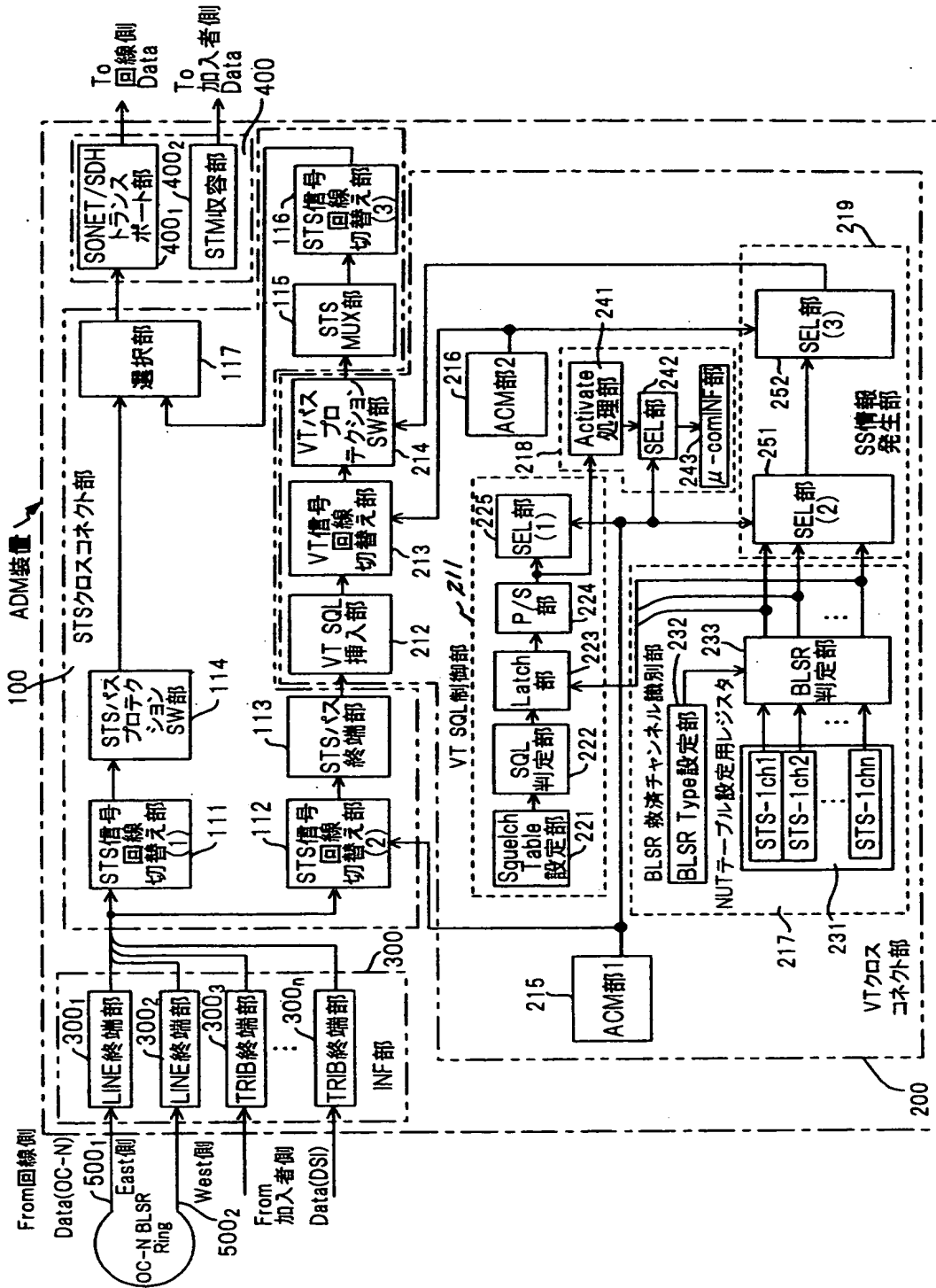
211・・・VT・・・SQL制御部

212・・VT・・SQL挿入部
213・・VT信号回線切替部
214・・VTパスポテクションSW部
215・・STSクロスコネクト情報保持部(ACM1)
216・・VTクロスコネクト情報保持部(ACM2)
217・・BLSR救済チャンネル識別部
218・・VTスケルチモニター/通知部
219・・SS情報発生部
221・・スケルチテーブル設定部
222・・スケルチ判定部
223・・ラッチ部
224・・P/S部
225・・セクタ部
231・・NUT情報設定用レジスタ
232・・BLSRタイプ設定部
233・・BSLR判定部

【書類名】 図面

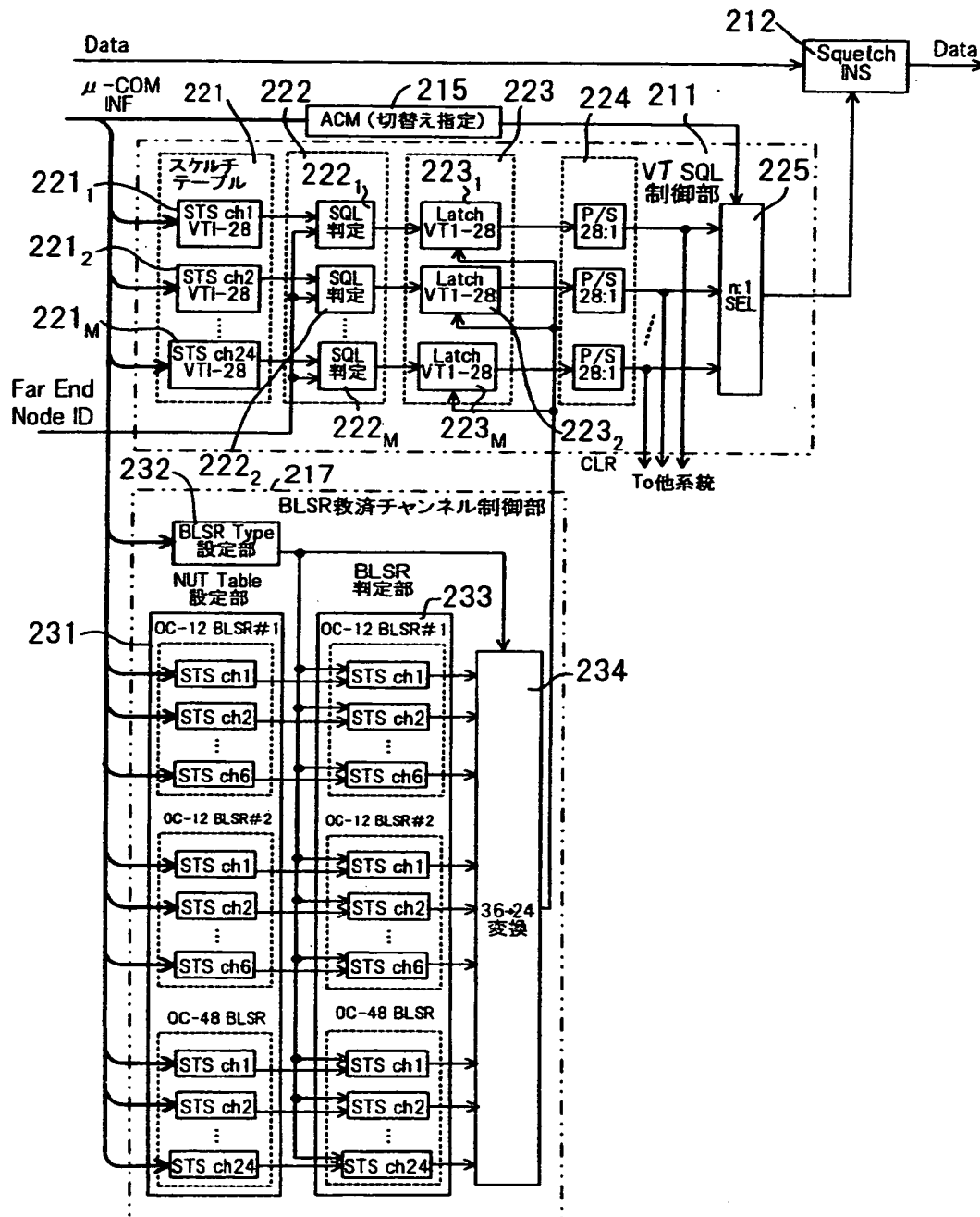
【図 1】

本発明のADM装置の全体の構成



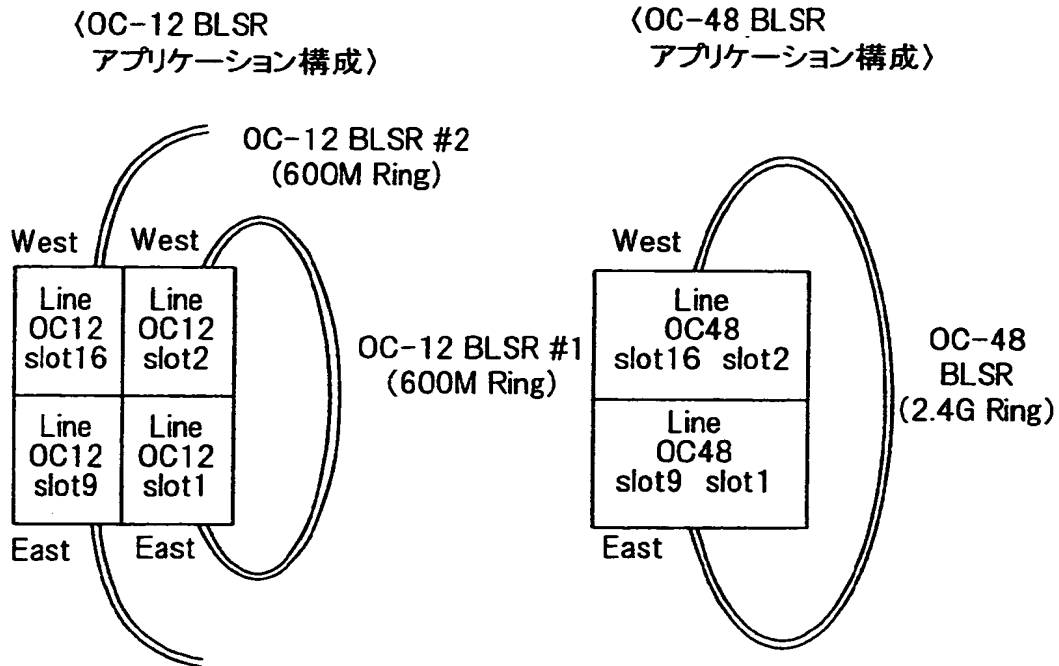
【図 2】

スケルチ処理に関する部分の構成



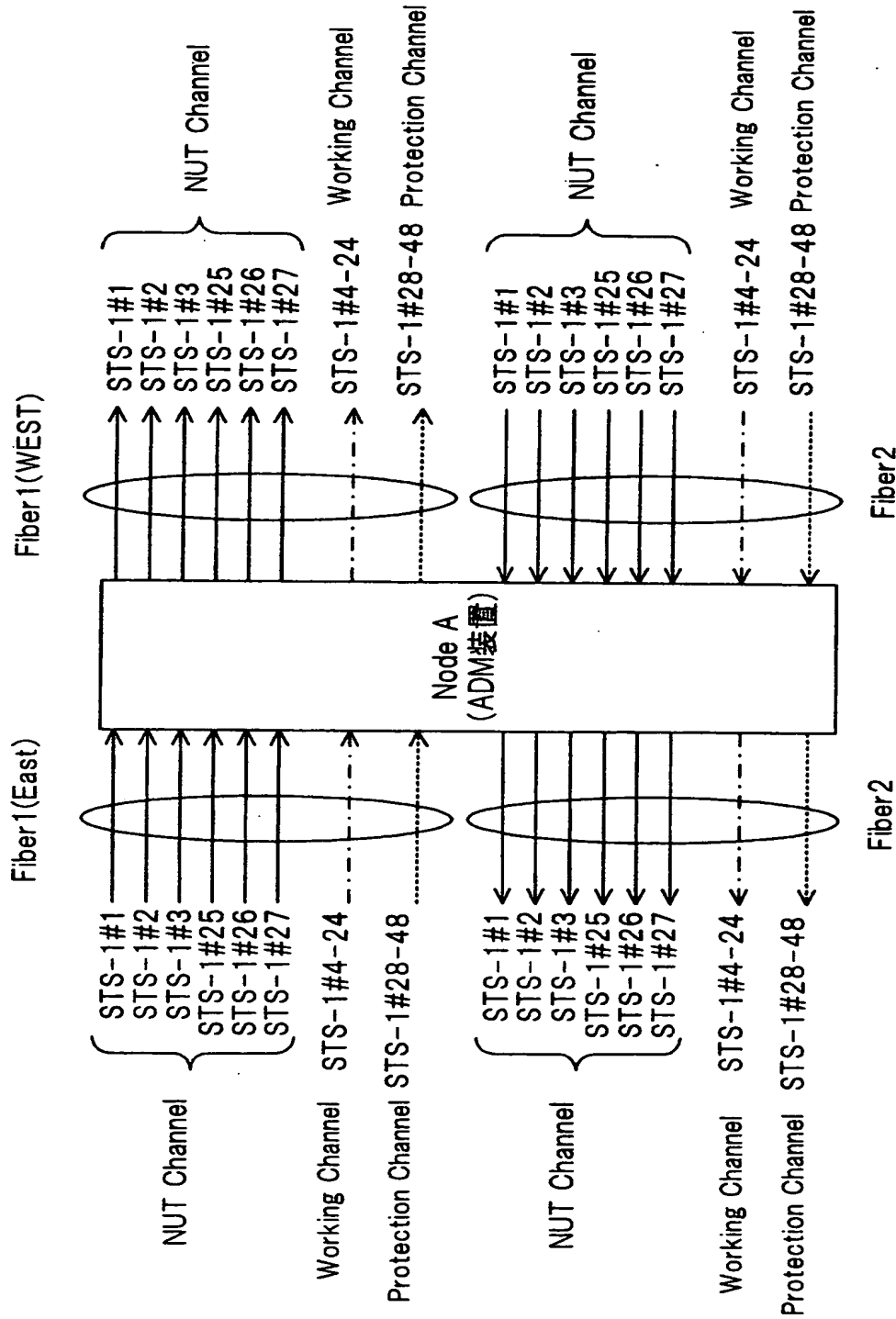
【図 3】

BLSRタイプとスロットの関係説明図



【図 4】

NUT 情報と NUT Channel の対応説明図



【図 5】

NUT情報の設定例

OC-12 BLSR #1															
D15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
*	*	*	*	*	*	*	*	*	*	ch6	ch5	ch4	ch3	ch2	ch1

OC-12 BLSR #2															
D15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
*	*	*	*	*	*	*	*	*	*	ch6	ch5	ch4	ch3	ch2	ch1

OC-48 BLSR															
D15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
*	*	*	*	ch12	ch11	ch10	ch9	ch8	ch7	ch6	ch5	ch4	ch3	ch2	ch1

OC-48 BLSR															
D15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
*	*	*	*	ch24	ch23	ch22	ch21	ch20	ch19	ch18	ch17	ch16	ch15	ch14	ch13

“1”=NUT channel
“0”=not NUT channel

【図 6】

BLSR Typeの設定例

BLSR Type		
OC12-2	OC12-1	OC-48

OC-48 : OC-48 BLSR指定 “1”: OC-48 BLSR時、“0”: not OC-48 BLSR
OC-12-1: OC-12 BLSR#1指定 “1”: OC-12 BLSR#1時、“0”: not OC-12 BLSR#1
OC-12-2: OC-12 BLSR#2指定 “1”: OC-12 BLSR#2時、“0”: not OC-12 BLSR#2

【図 7】

本発明と従来装置の回路規模の比較例を示す図表

(a)

アプリケーション	従来のNUTチャンネル 設定レジスタの個数 (N)	本発明のNUTチャンネル 設定レジスタの個数 (M)
not BLSR	192	0
OC-12 BLSR		6
OC-48 BLSR		24

(装置の最大VTアクセス処理容量を10Gbpsとした場合)

(b)

アプリケーション	従来のBLSR情報 設定レジスタの個数 (N)	本発明の BLSR Type 設定レジスタの個数 (L)
OC-12 BLSRかOC-48 BLSRか 又はBLSR以外を選択できる場合	192	2

(装置の最大VTアクセス処理容量を10Gbpsとした場合)

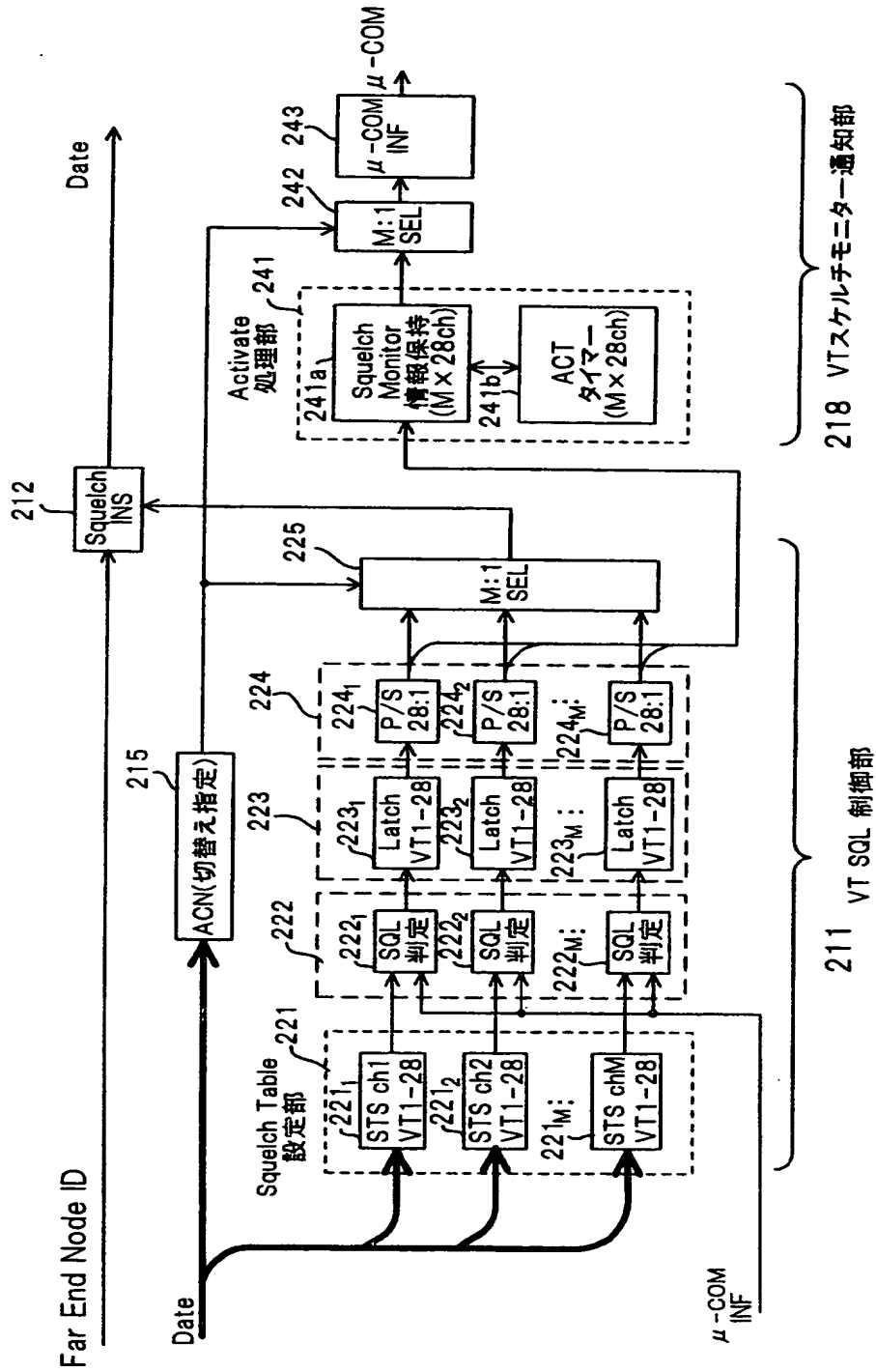
(c)

アプリケーション	従来のSQL Activate 処理チャンネル数 (NxVT*)	本発明のSQL Activate 処理チャンネル数 (MxVT*)
not BLSR	5376	0
OC-12 BLSR		168
OC-48 BLSR		672

(装置の最大VTアクセス処理容量を10Gbpsとした場合)

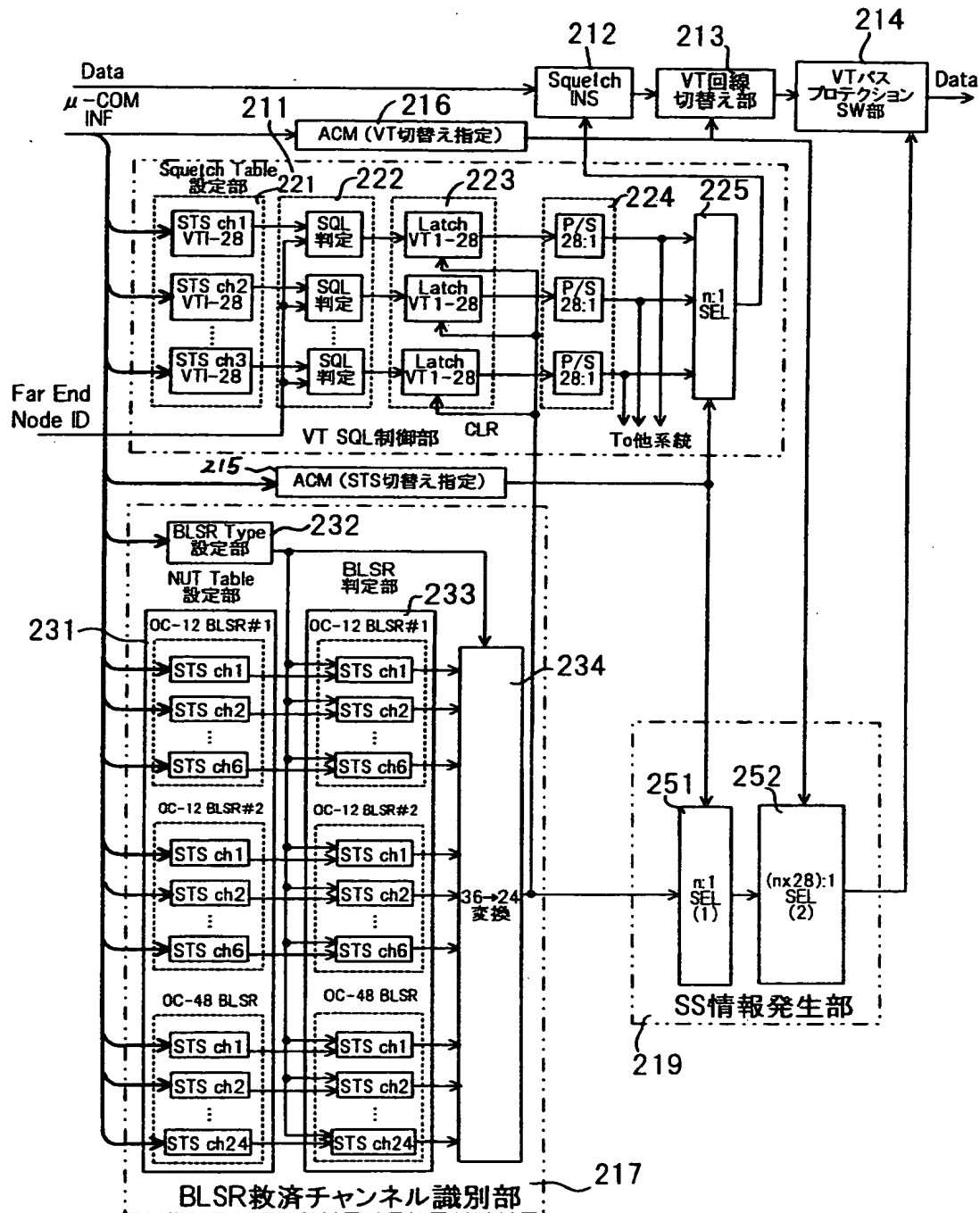
【図8】

本発明のVT SQL制御部にActivate処理部を接続した構成



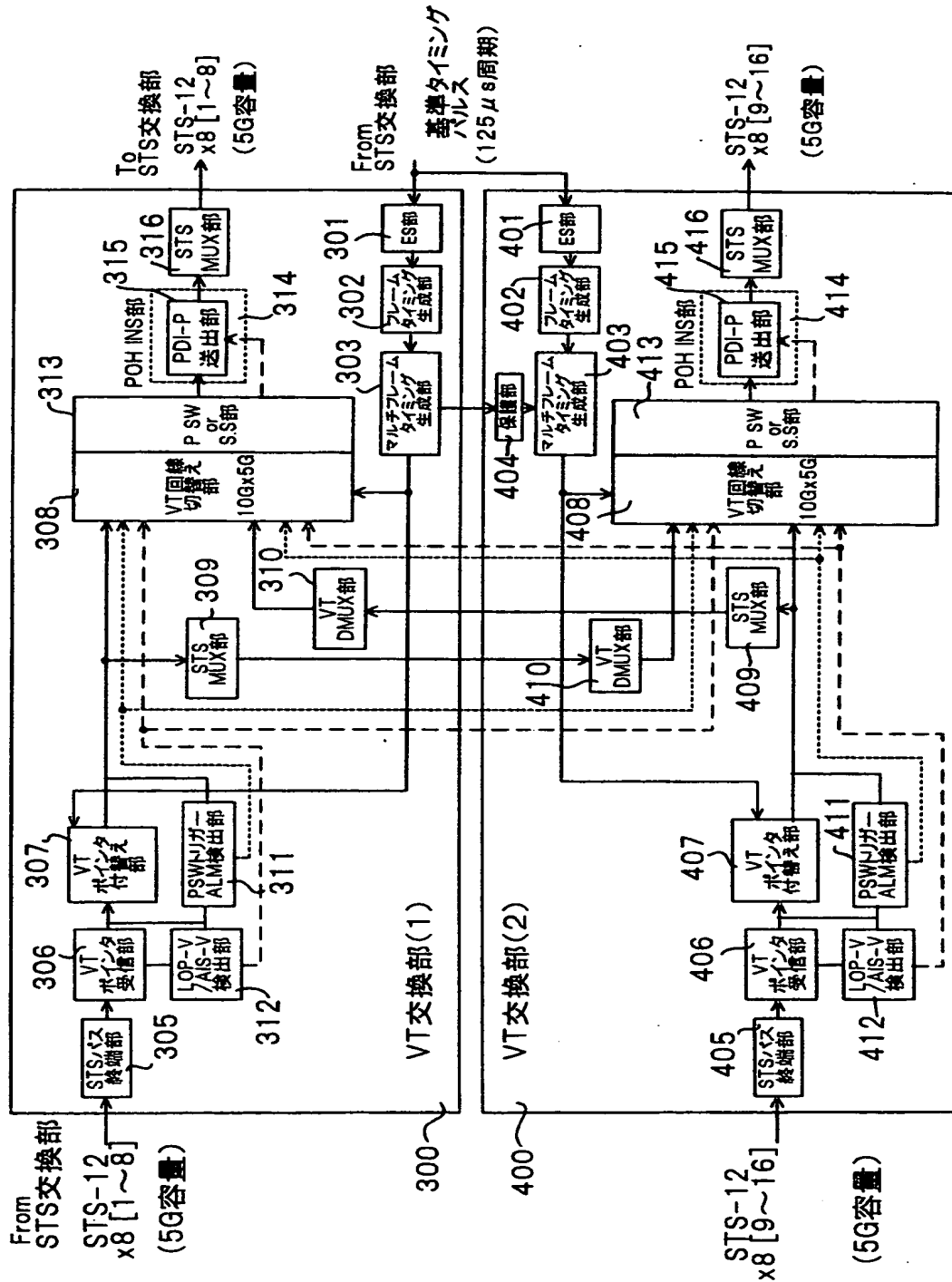
【図9】

BLSR救済チャンネル識別部にSS情報発生部を接続した構成



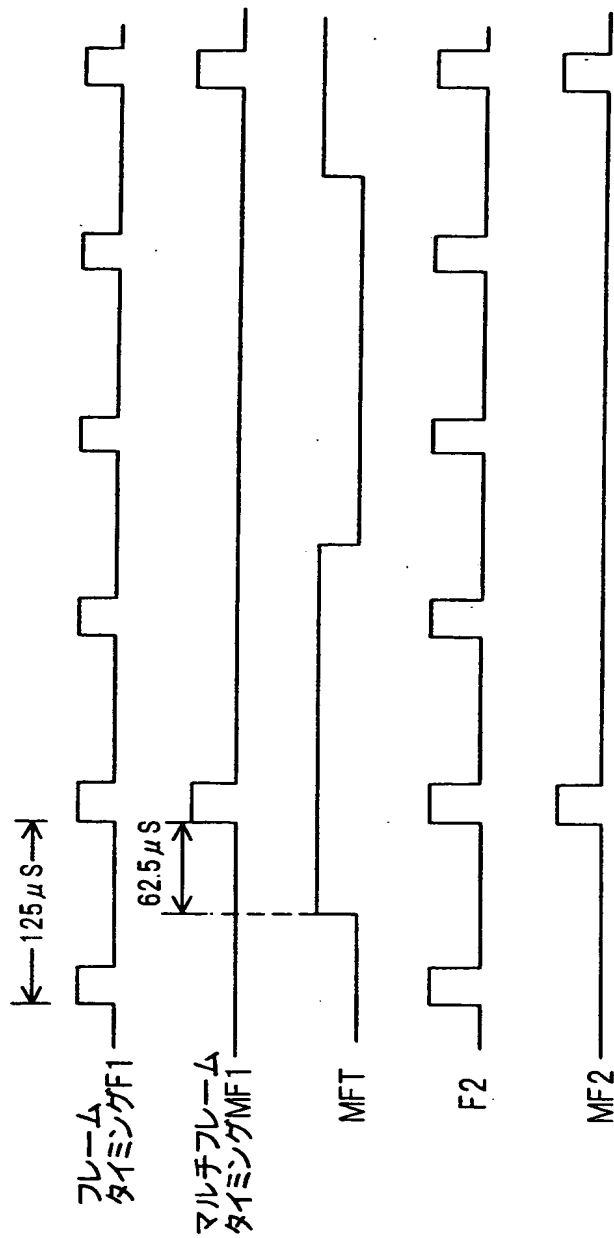
【図10】

本発明のダブルVT交換部の構成

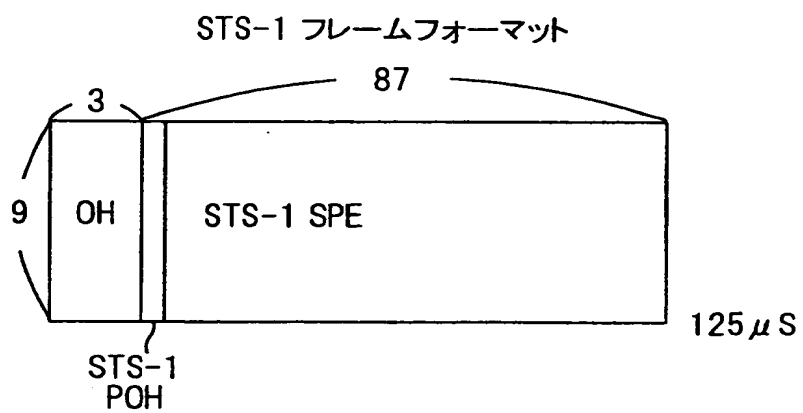


【図 11】

各タイミングパルスのタイムチャート

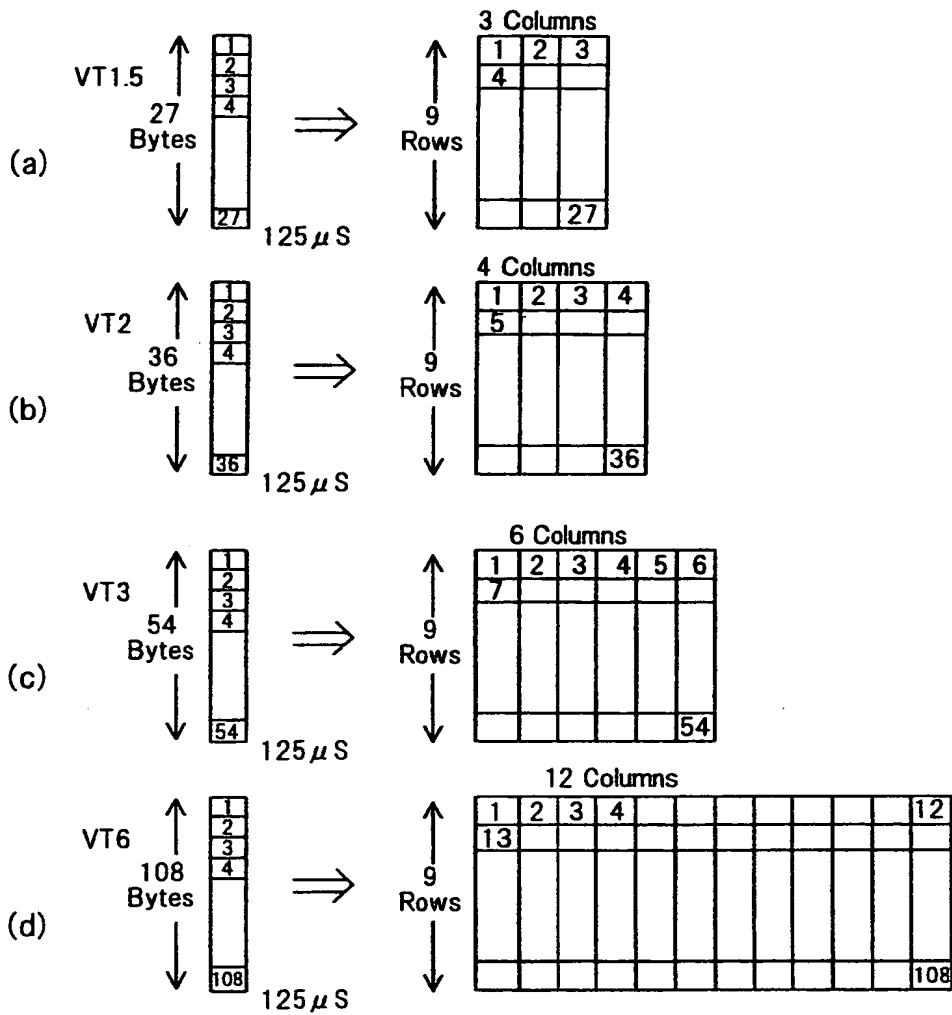


【図 1 2】



【図 1 3】

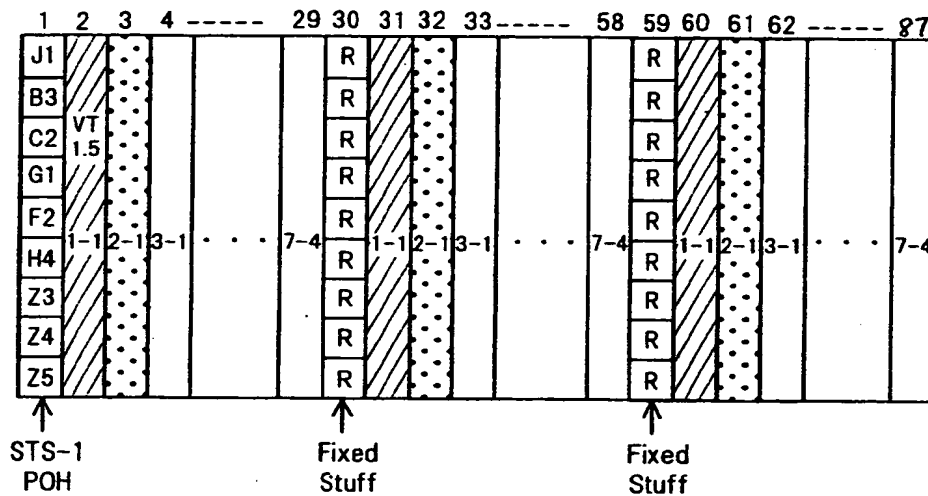
各種VT構成



【図 1 4】

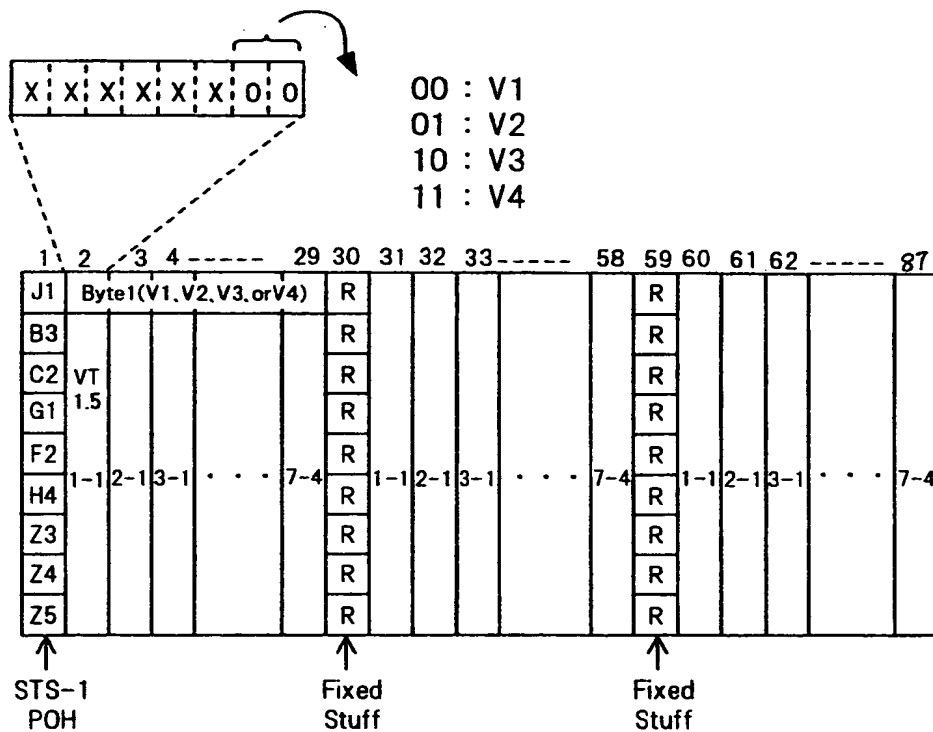
STS-1 SPE 構成

STS-1 SPE Columns



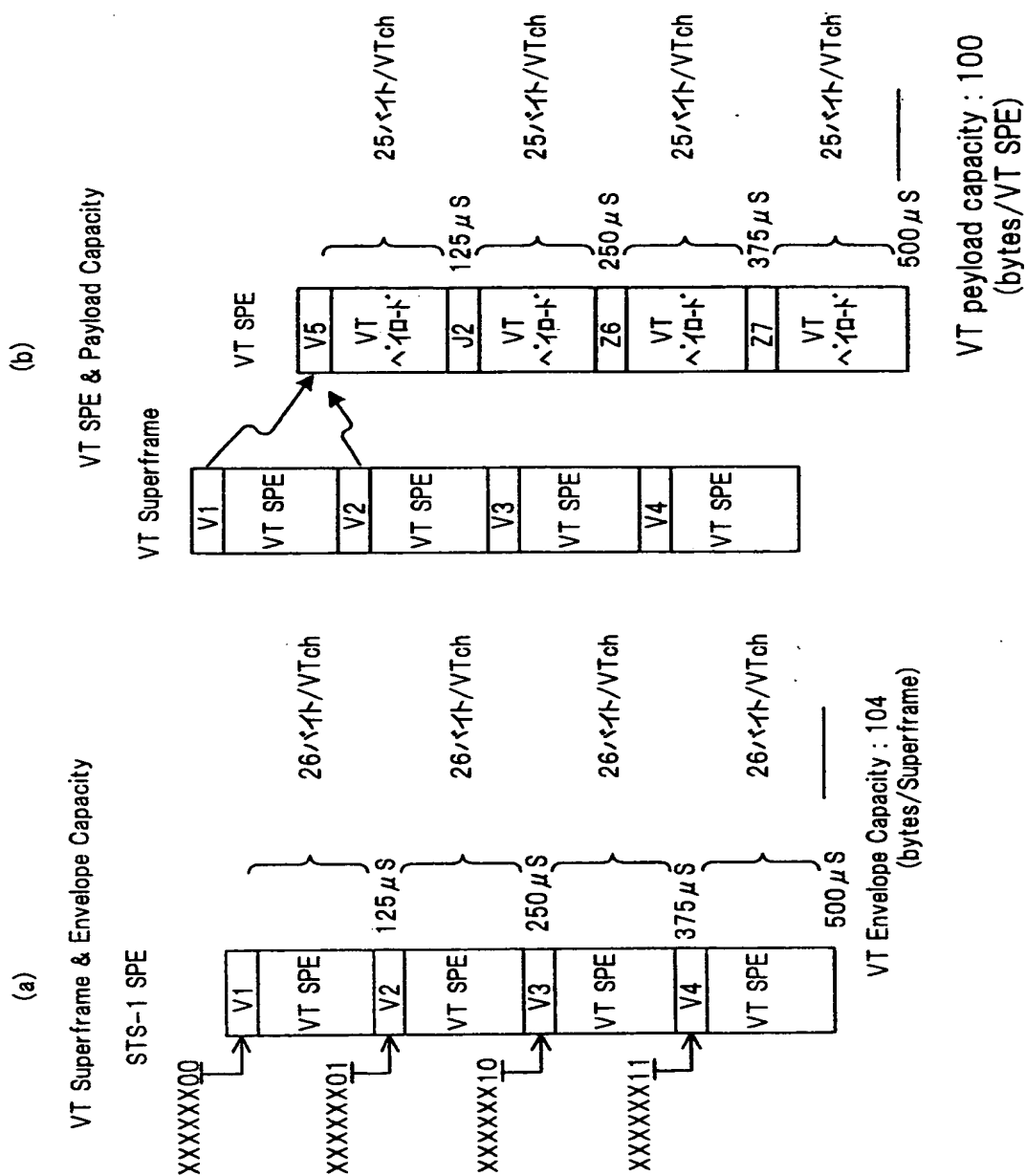
【図 1 5】

500 μ S スーパーフレームのSTS-1 SPE 構成

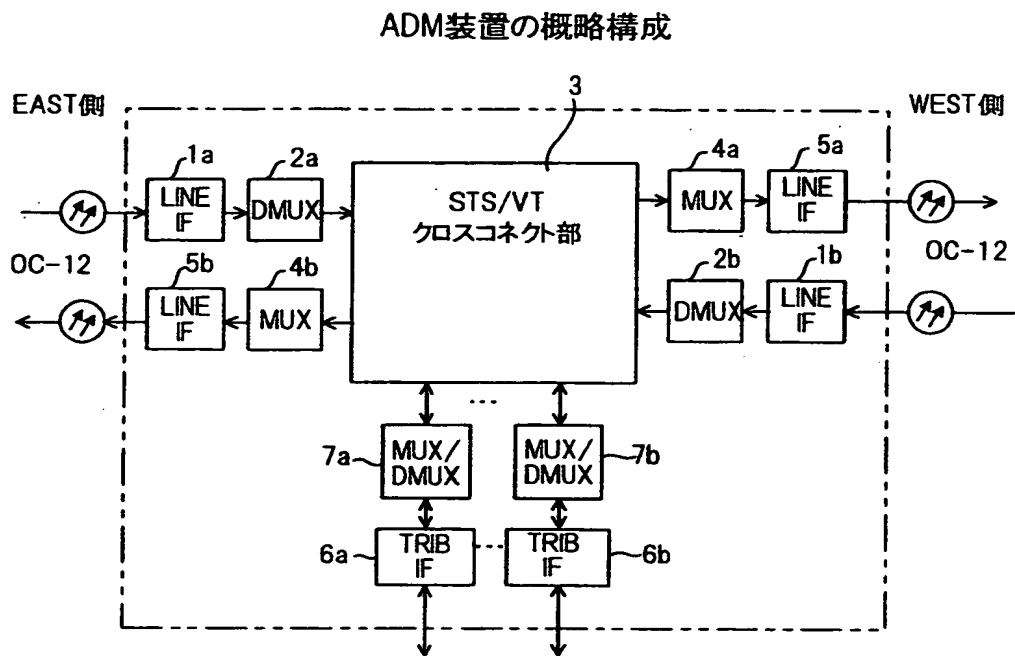


【図 16】

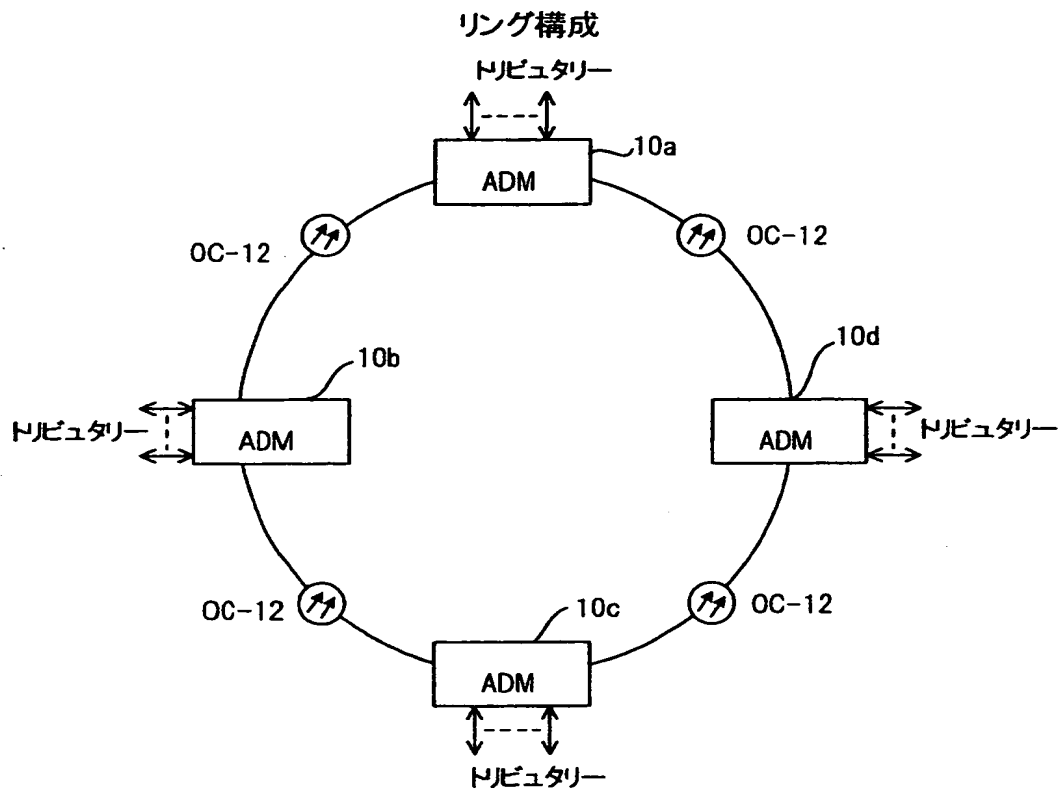
VTスーパーフレーム構成



【図 1 7】

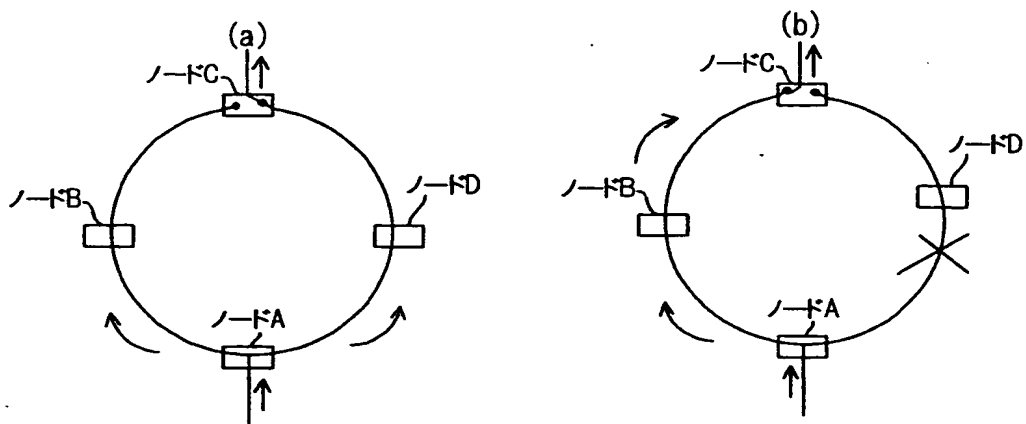


【図 1 8】



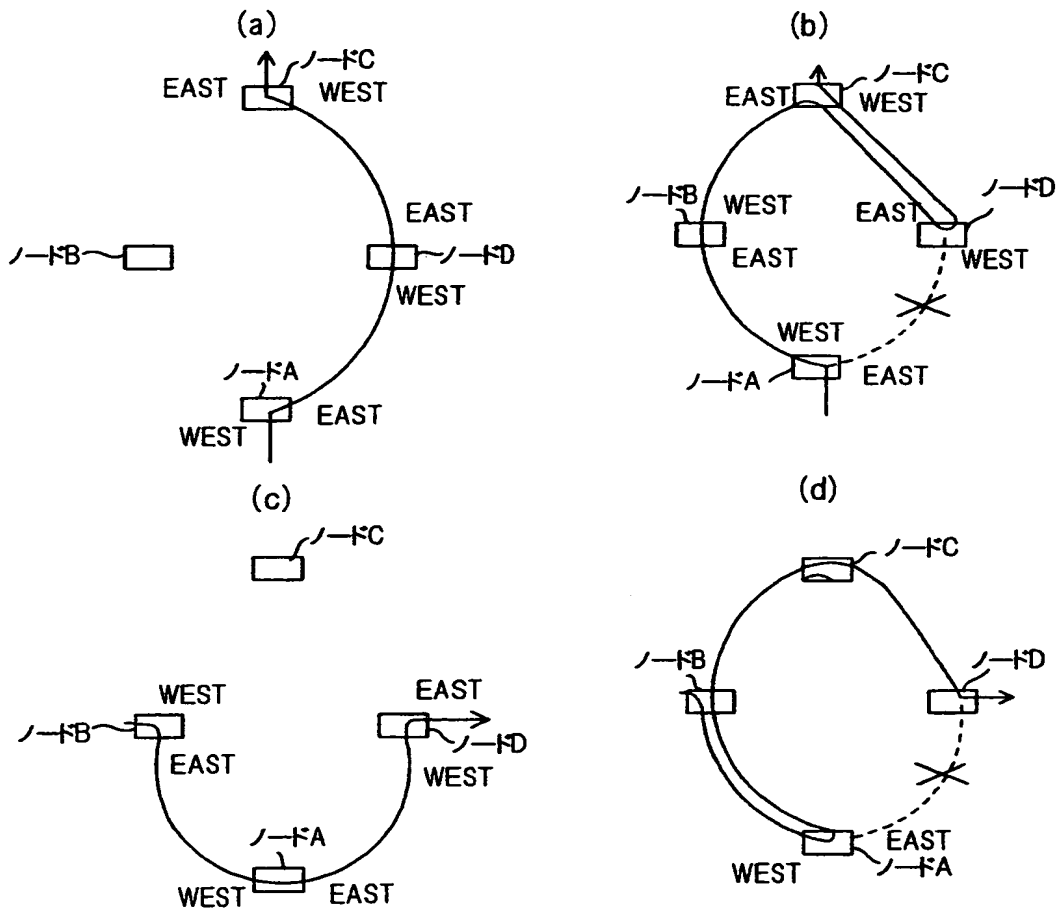
【図 1 9】

SONETにおけるUPSRを説明するための図



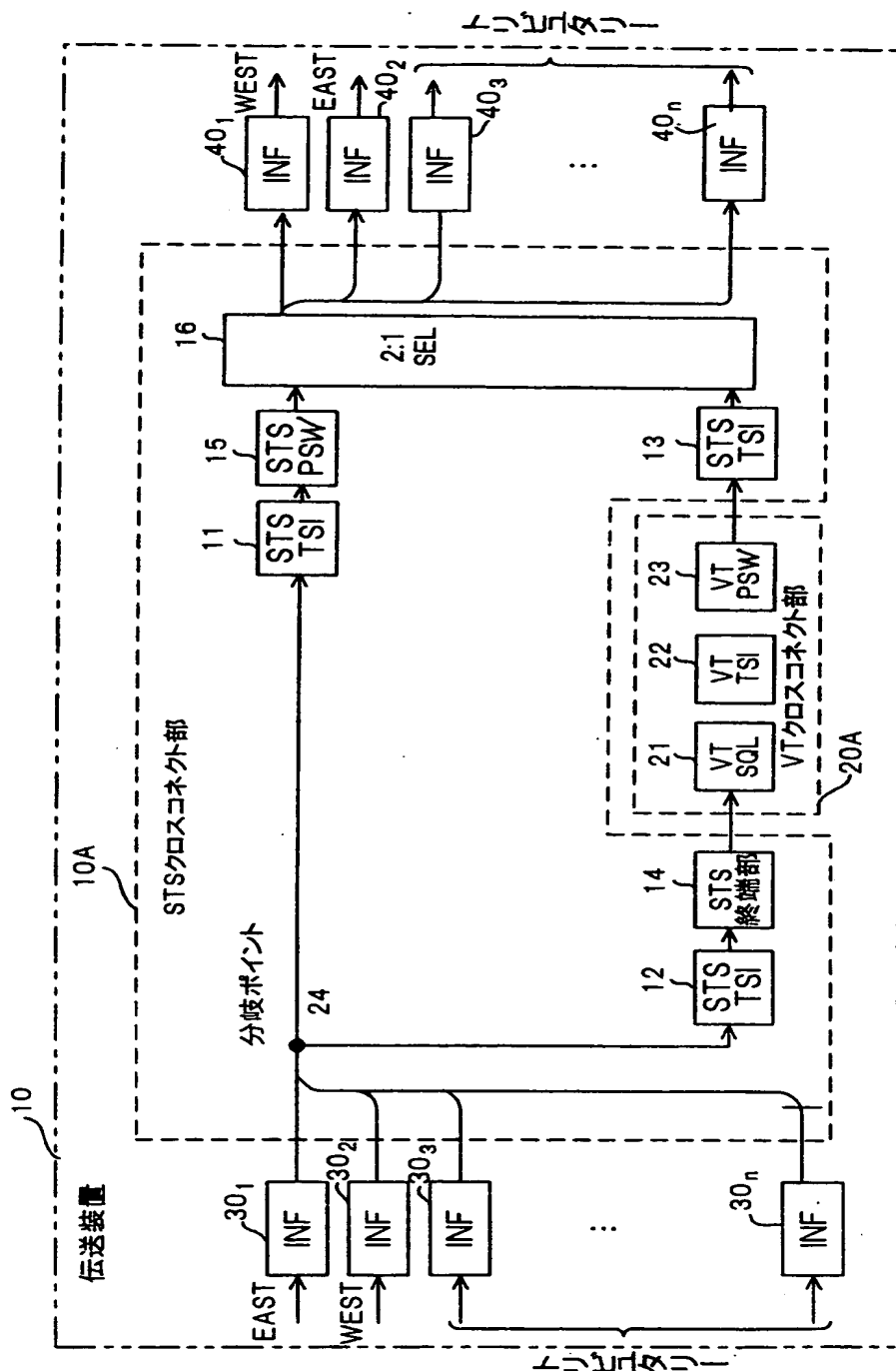
【図 2 0】

SONETにおけるBLSRを説明するための図



【图 2 1】

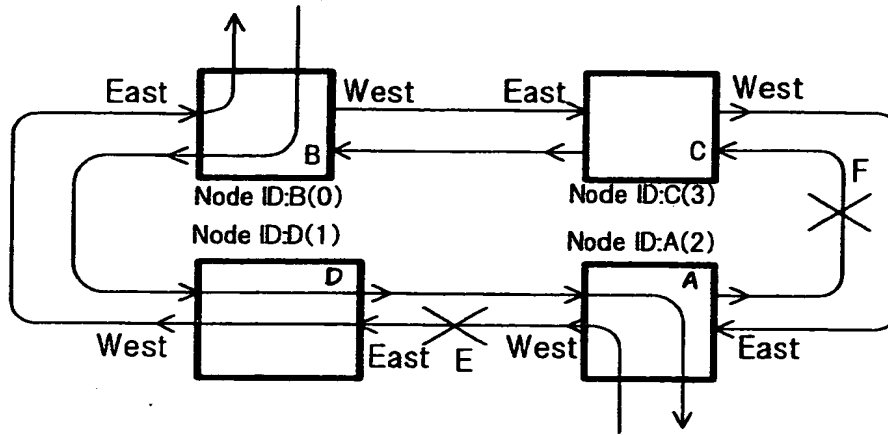
伝送装置のシステム構成を示すブロック図



【図 2 2】

VTスケルチの概念を説明するための図

(a)



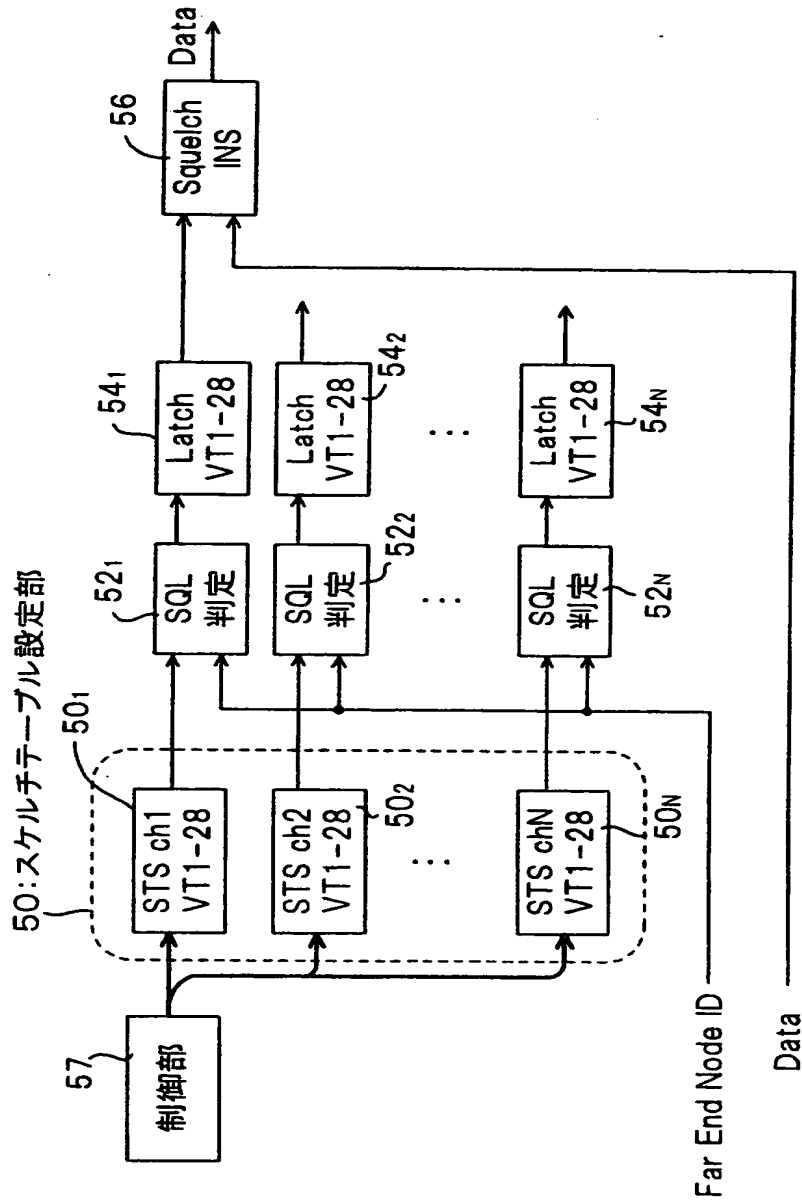
(b)

Node B VT Squelch Table

East Side	West Side
2	0

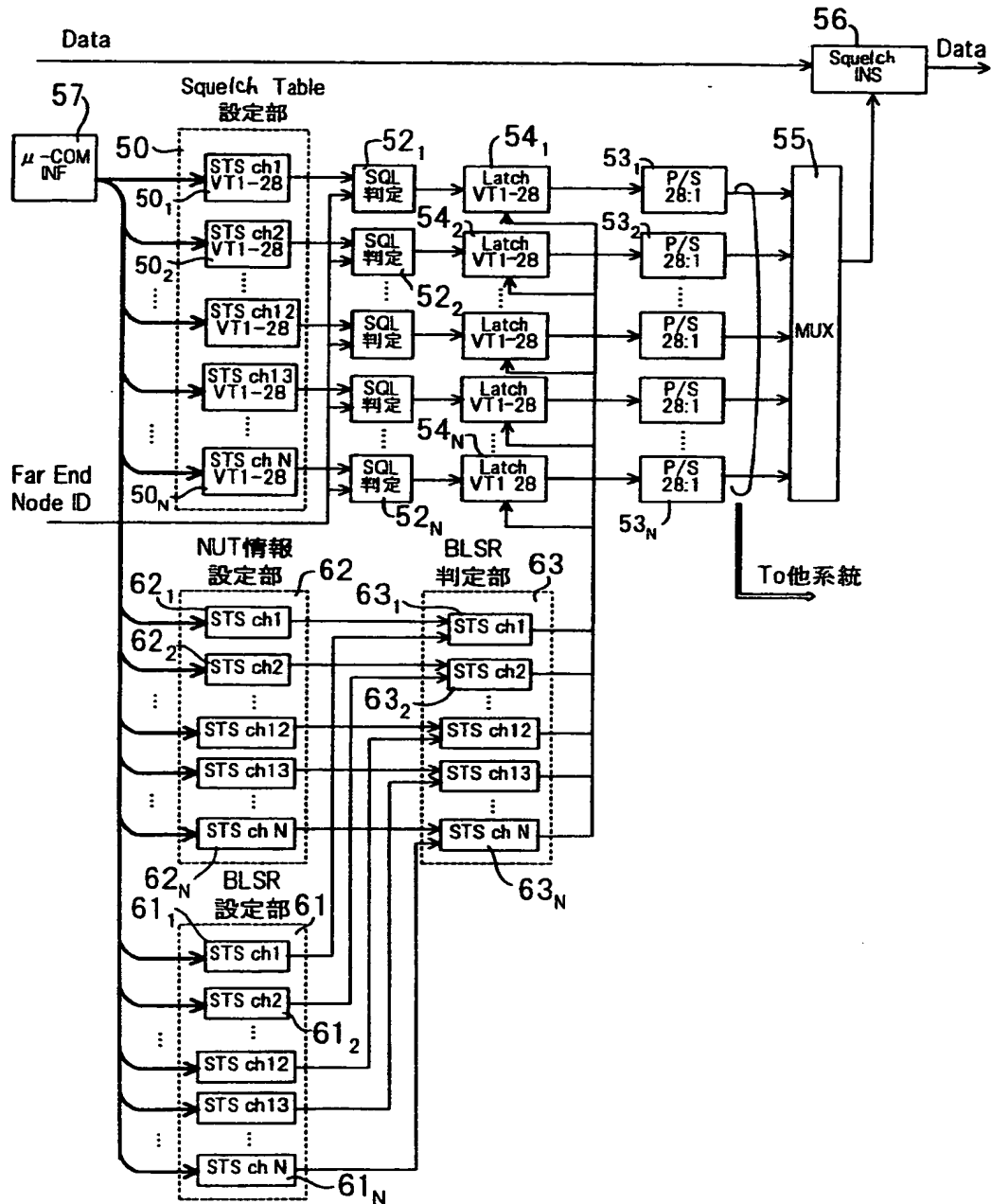
【図 2 3】

VTスケルチ処理部の構成



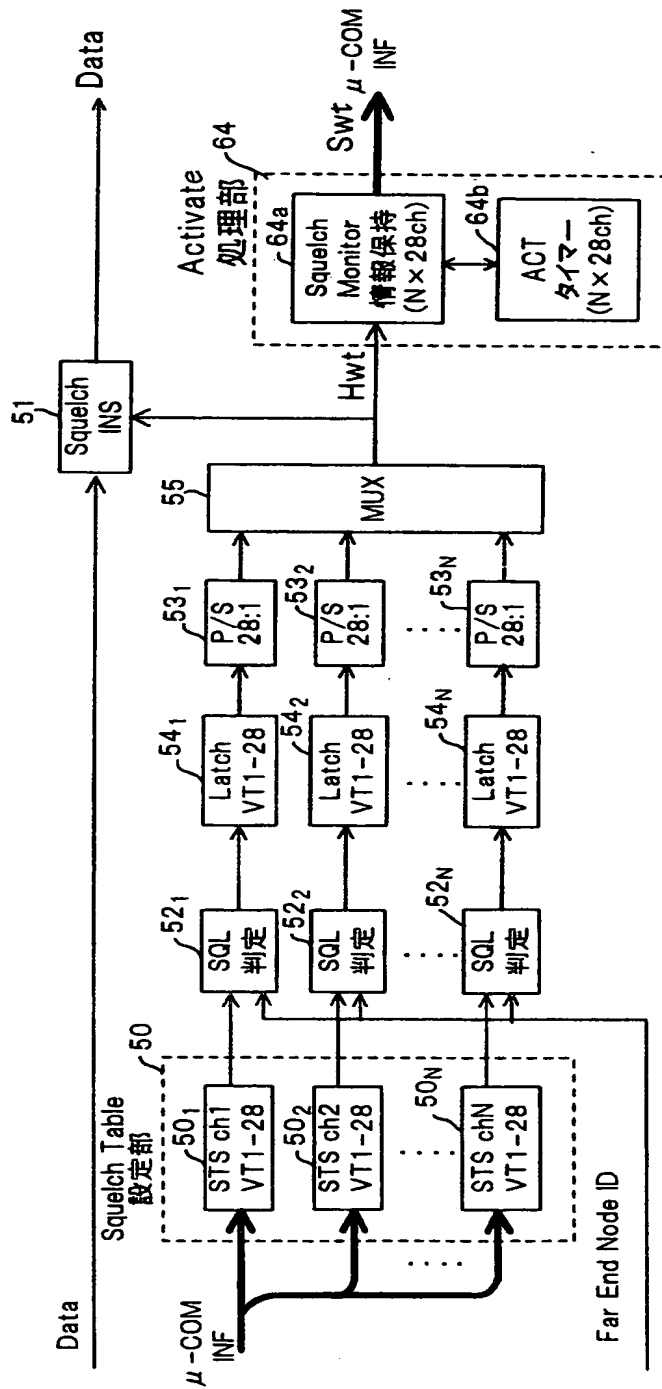
【図 2 4】

BLSR情報設定部とNUT情報設定部を備えた
スケルチ処理部の全体の構成



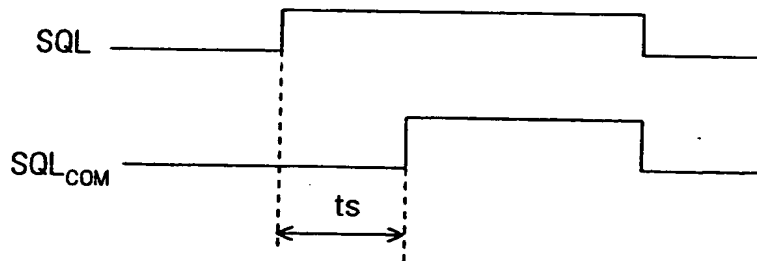
【図 25】

スケルチ処理部にActivate処理部を接続した構成



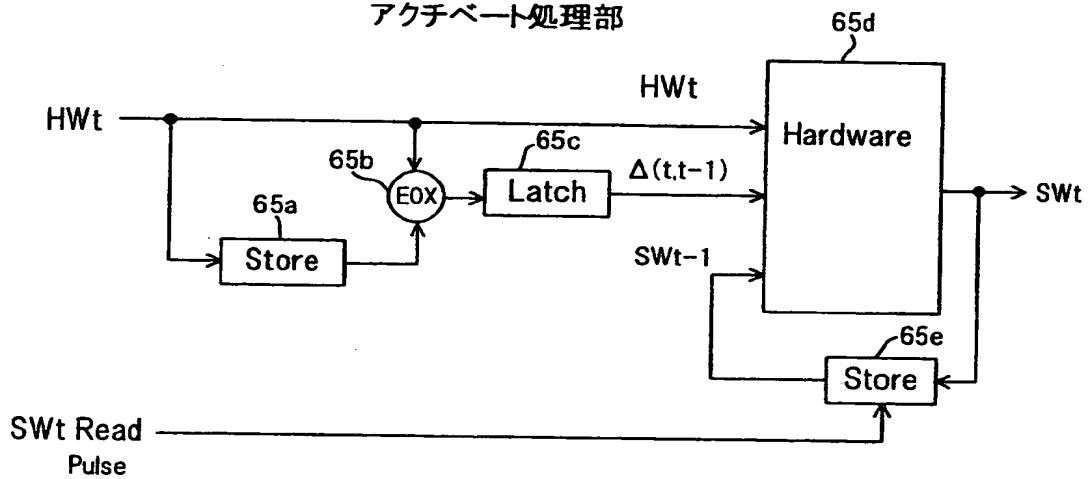
【図 2 6】

スケルチモニタ説明図



【図 2 7】

アクチベート処理部



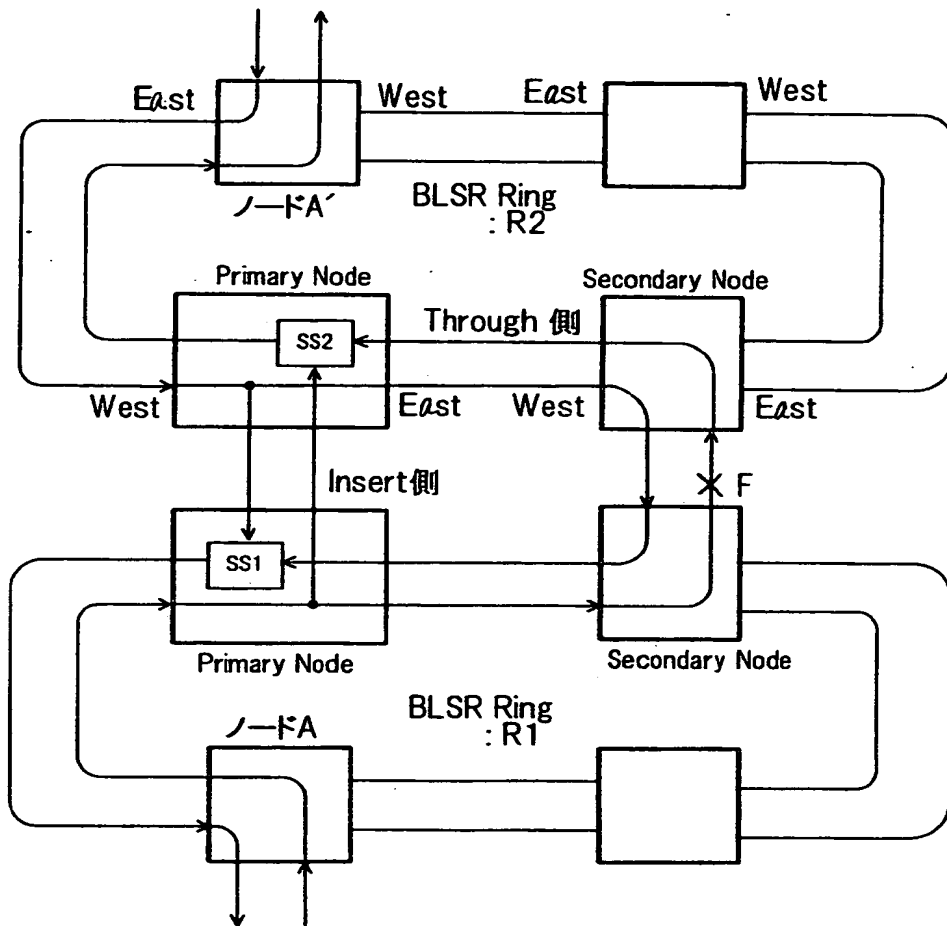
【図 2 8】

ハードウェアの論理演算説明図

SWt-1	$\Delta(t,t-1)$	HWt	SWt
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	0

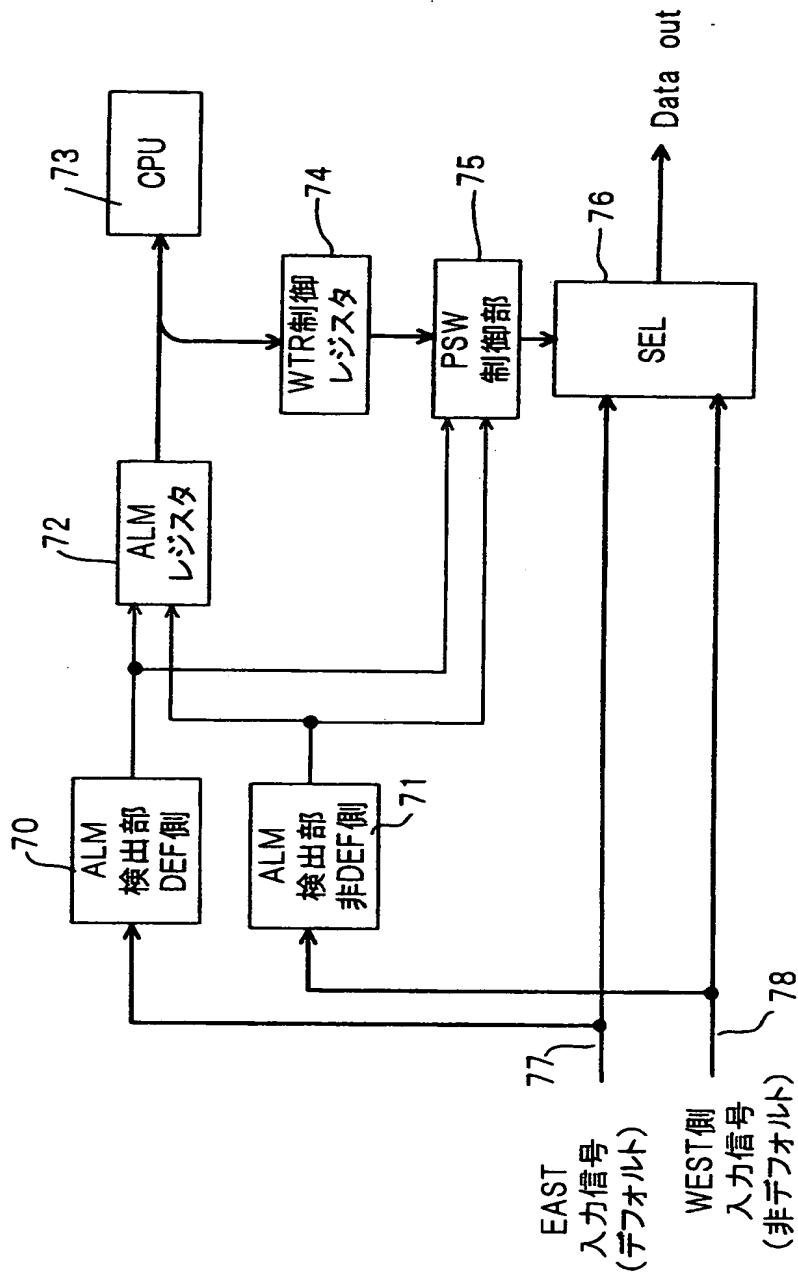
【図 2 9】

VT-PSWのセクタをサービスセクタSSとして使用する場合の説明図



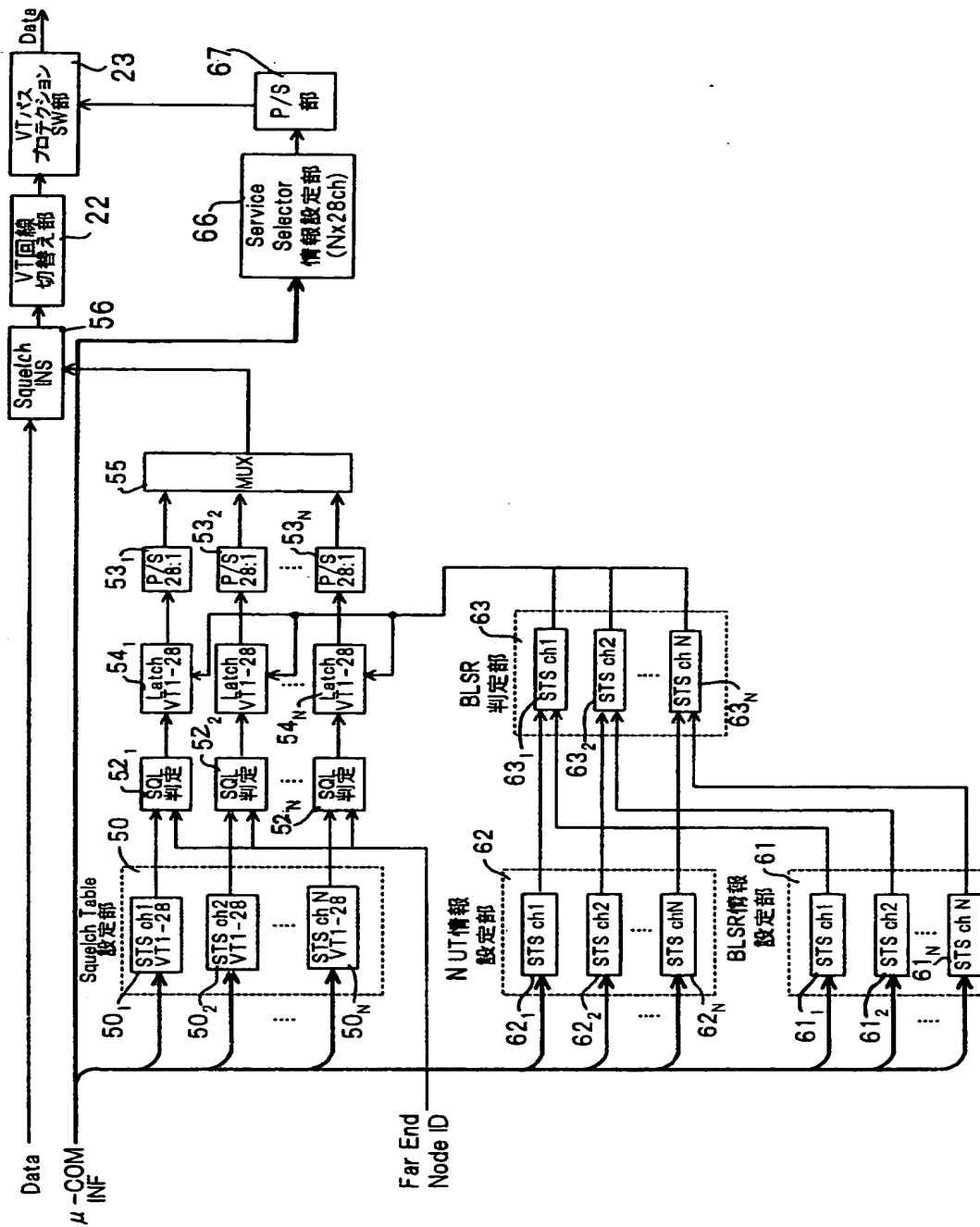
【図 30】

VT-PSWのセクタをUSPRのパス選択スイッチとして使用する場合の説明図



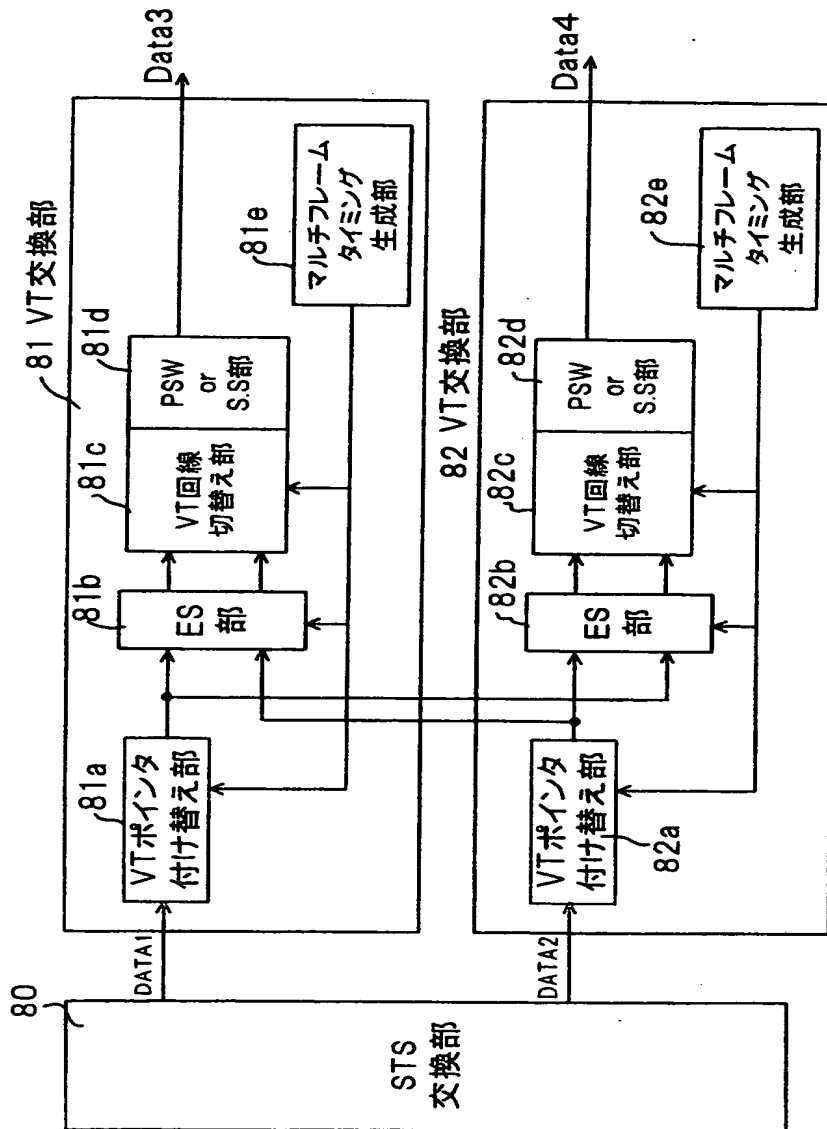
【図 3 1】

スケルチ処理部の後段にサービスセクタ情報設定部を配置した構成図



【図 3 2】

VT交換部間でVT信号の入れ換えを行う構成図



【書類名】 要約書

【要約】

【課題】 リング(BLSR)状ネットワークを構成する伝送装置のハードウェアを削減する。

【解決手段】 BLSR救済対象チャンネルのうち、BLSRによる救済をしないと設定されたチャンネル(NUTチャンネル)以外のチャンネルについて、VT SQL制御部211はスケルチ判定する。VT SQL挿入部212は、判定結果を主信号のクロスコネクト情報に基づいて入れ替え、入れ替えた判定結果を対応するチャンネルのクロスコネクト後の主信号に挿入する。BLSR救済対象チャンネルは、オペレーティングレートをしめすBLSR Typeにより特定され、NUT情報はBLSR救済対象チャンネルに対してのみ設定される。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 0 - 1 5 8 2 9 5
受付番号	5 0 0 0 0 6 6 0 0 4 4
書類名	特許願
担当官	佐藤 一博 1 9 0 9
作成日	平成 1 2 年 6 月 1 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000005223
【住所又は居所】	神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
【氏名又は名称】	富士通株式会社
【代理人】	申請人
【識別番号】	100084711
【住所又は居所】	千葉県千葉市花見川区幕張本郷 1 丁目 1 4 番 1 0 号 幸栄パレス 2 0 2 齋藤特許事務所
【氏名又は名称】	齋藤 千幹

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社